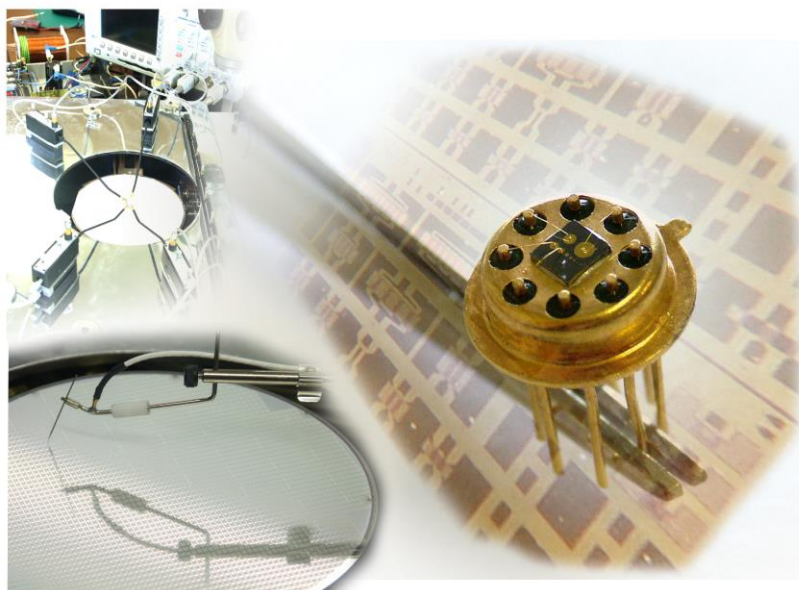


Fakultné kolo ŠVOČ 2026



ÚSTAV ELEKTRONIKY A FOTONIKY

Zborník študentských vedeckých prác

Sekcia:

Elektronika a fotonika

Zborník študentských vedeckých prác fakultného kola súťaže
o najlepšiu študentskú vedeckú prácu na Ústave elektroniky a fotoniky
v sekcii

Elektronika a fotonika

je zostavený z príspevkov autorov vo forme článkov dodaných autormi.
Vydavateľ nevykoná jazykovú ani technickú korektúru.

Vydavateľ

FEI STU, Ústav elektroniky a fotoniky, Ilkovičova 3, 812 19 Bratislava

Redaktori zborníka

Ing. Peter Benko, PhD.,
prof. Ing. Ľubica Stuchlíková, PhD.

Vydané 9.4.2026

OBSAH

Sekcia: Elektronika a fotonika

Tadeáš Lukáč – <i>Optimisation of Annealing Temperature for Conductivity Enhancement in Polycrystalline β-Ga₂O₃ Thin Films Grown on Quartz Using Liquid-Injection MOCVD</i>	5
Marcel Petrik – <i>Investigation of anisotropy in β-Ga₂O₃ thin films on sapphire substrates</i>	10
Vadym Berezovskyi – <i>Optimalizácia spínania MOSFET meniča podporená simuláciou</i>	15
Martin Hraňo – <i>Implementácia meracieho systému pre testovanie spoľahlivosti výkonových prvkov</i>	20
Tomáš Gergely – <i>Prevodník odporu na prúd pre senzorické aplikácie na čipe</i>	25
Daniel Kazán – <i>Modulácia oneskorenia gitarového efektu echo pomocou nízkofrekvenčného oscilátora</i>	31
Adam Vavro – <i>Návrh mriežkového väzobného člena pre WERS senzor</i>	37
Tomáš Tines – <i>Hodnotenie miery zosieťovania ORMOCER materiálov používaných pre výrobu fotonických vlnovodov metódou extrahovateľného podielu</i>	43
Leonardo Mészáros – <i>Materiálová kompatibilita a technologické limity tvorby optických vlnovodov s jadrom SU-8 na flexibilnom substráte z PDMS</i>	48

Optimisation of Annealing Temperature for Conductivity Enhancement in Polycrystalline $\beta - Ga_2O_3$ Thin Films Grown on Quartz Using Liquid-Injection MOCVD

Tadeáš Lukáč¹, Michal Sobota¹, Dagmar Gregušová¹, Ondrej Pohorelec¹, Kristína Hušeková¹, Roman Stoklas¹, Sai Gurukrishna Vadlamudi¹

¹ Elektrotechnický ústav Slovenskej akadémie vied, v. v. i. v Bratislave

xlukact@stuba.sk

Abstract - Polycrystalline $\beta - Ga_2O_3$ thin films with two distinct doping concentrations grown using liquid-injection MOCVD on quartz substrates were prepared and introduced to varying hydrogen gas annealing conditions. Electrically characterized samples exhibited a current-voltage characteristics consistent with ohmic transport at low bias, with pronounced non-linearity at higher voltages. Annealing temperature was found to impact conductivity, with an optimum at 550 °C, a trend consistent with previously reported studies. Analysis of the barrier height returned values on the order of 41 meV, significantly below those expected for Schottky contacts with the used contact metal, indicating that such mechanism is unlikely to dominate.

1 Introduction

$\beta - Ga_2O_3$ inherits much of the ultrawide bandgap (4.5-4.9 eV) of Ga_2O_3 material family, which is known to provide a high Baliga's figure of merit enabling high critical electric fields.[1, 2, 3]

While the polycrystalline form is burdened with severely reduced carrier mobility compared to homoepitaxial substrates[5], its comparably low heteroepitaxial growth temperature, inexpensive base substrates such as SiO_2 and compatibility with established deposition techniques [1, 2] are expected to offer a cost-effective pathway for scalable device fabrication.

The specific tradeoffs and limitations of polycrystalline variant are poorly covered in literature and not yet fully understood. The aim of this report was to explore the optimal annealing temperature for the purpose of enhancing conductivity and electrically characterize the material to set a foundation for further device development.

2 Experimental details

The samples were prepared on quartz substrates (10 × 10 mm). $\beta - Ga_2O_3$ films were deposited in a custom built horizontal low-pressure hot-wall Liquid-Injection Metal-Organic Chemical

Vapour Deposition (MOCVD) reactor. The deposition occurred at 700 °C. Argon carrier gas mixed with oxygen at flow rates of 120/600 sccm served as the reactant gas. Gallium acetylacetonate $Ga(acac)_3$ precursor dissolved in toluene (0.02 mol/l) was introduced into the evaporation chamber in two stages. The resulting layers consisted of 5000 injections in 1 s interval, with the first layer being undoped and the second Si-doped. The Si concentration is given in mol% relative to Ga in the precursor mixture. The doping concentrations for two separately grown sample sets were 0.1 mol% and 0.2 mol%.

Ellipsometry analysis revealed gallium oxide film thickness of ~ 123 nm. Atomic force microscopy recorded profile roughness of ~ 8 nm RMS.

A photolithography forming the working area of the transistor (mesa) was carried out with photoresist thickness of 2 μm , after which followed etching in $SiCl_4$ gas to remove Ga_2O_3 outside of the excluded areas.

Another photolithography outlining the contact geometry, with photoresist thickness of 1 μm , preceded a two stage metal deposition procedure which resulted in a stacked contact, consisting of 60 nm of titanium and 100 nm of gold. The final device diagram is showcased in Fig.1.

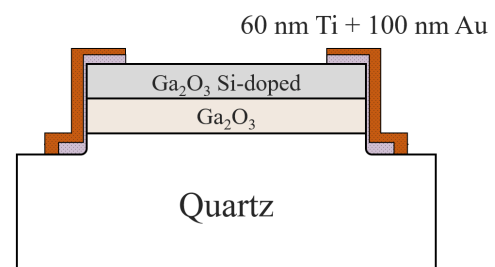


Figure 1: Illustrative cross-section of prepared device.

Forming gas annealing was carried out in hydrogen atmosphere at 450 °C, 500 °C and 550 °C for the duration of 15 minutes per every temperature increment.

3 Methodology

3.1 Transfer Length Method (TLM)

The TLM method ideally allows for dissection of contributions of contact resistance R_C and bulk resistivity ρ to the total resistivity R_T considering device geometry:

$$R_T = \frac{R_{sheet}}{W}L + 2R_C$$

Where W is contact width, L the pad separation distance, R_C the contact resistance, R_{sheet} the sheet resistance.

The resistivity extraction is denoted in Fig.2, where t is the film thickness and k the slope.

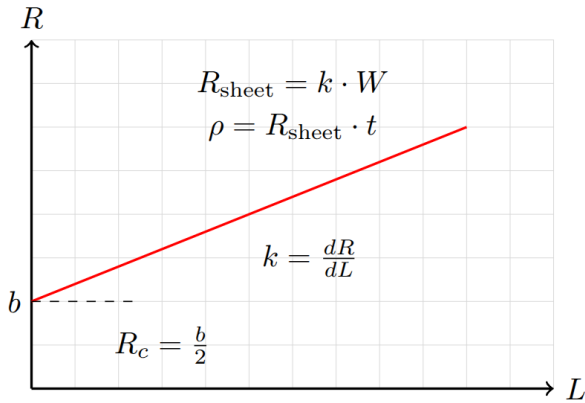


Figure 2: A visual breakdown of the transfer length method.

Sheet resistance was calculated from the slope k of a best-fit line over points plotted as resistance vs. separation distance.

Since our measured $R(V)$ dependence was not constant across its entire voltage domain, the resistivity was not invariant of the voltage it was probed at. For that reason, we expressed R_T as differential resistance $R_{diff} = \frac{dV}{dI}$ from a line fitted over a low voltage range (0.1 V - 3 V) and kept this criteria consistent throughout the experiment.

3.2 Activation energy

The measurements conducted at multiple elevated temperatures enable the evaluation of activation energy of the dominant energetic barrier within the semiconductor.

The Arrhenius equation is given in the form:

$$\sigma = \sigma_0 \exp\left(\frac{-E_A}{k_B T}\right)$$

where σ is the bulk conductivity, σ_0 the pre-exponential factor, E_A the activation energy, k_B the Boltzmann constant, and T the absolute temperature.

Taking the natural logarithm gives the form:

$$\ln(\sigma) = \ln(\sigma_0) - E_A \frac{1}{k_B T}$$

Plotting $\ln(\sigma)$ vs. $\frac{1}{k_B T}$ and extracting the slope from a fitted line yields the value of activation energy $-E_A$, illustrated in Fig.3.

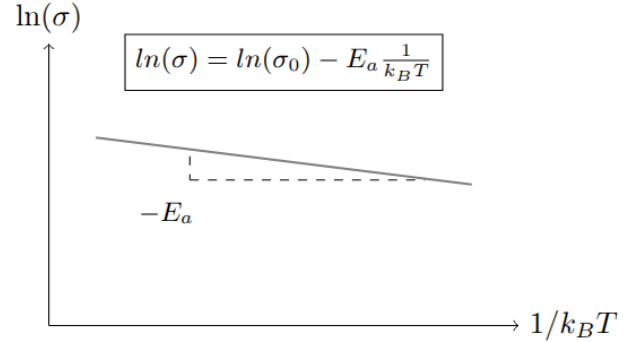


Figure 3: An illustrative example of Arrhenius plot.

3.3 Barrier height extraction

Another purpose of temperature dependent IV measurements is to obtain the barrier height.

Beginning with the equation for thermionic emission: [7]

$$J = A^{**} \cdot T^2 \exp\left(\frac{-q(\phi_B - \sqrt{q\xi_d/4\pi\epsilon_d})}{k_B T}\right)$$

where q is the elementary charge, A^{**} the effective Richardson constant, ϕ_B the barrier height, ξ_d the electric field in the dielectric, ϵ_d the permittivity of the dielectric, k_B the Boltzmann constant, and T the absolute temperature.

Assuming: $\sqrt{\frac{q\xi_d}{4\pi\epsilon_d}} \approx a\sqrt{V}$ where a is an empirical constant.

Expressing in terms of current $I = AJ$, where A is the contact area:

$$I = AA^{**} \cdot T^2 \exp\left(\frac{-q}{k_B T}(\phi_B - a\sqrt{V})\right)$$

Taking the natural logarithm:

$$\ln\left(\frac{I}{T^2}\right) = \ln(AA^{**}) - \frac{q}{k_B T}(\phi_B - a\sqrt{V})$$

Enables a substitution and rearranging into a line equation:

$$y = \ln\left(\frac{I}{T^2}\right) \quad x = \frac{1}{T}$$

$$y = m(V)x + \ln(AA^{**})$$

The slope can be expressed as:

$$m(V) = \frac{-q}{k_B}(\phi_B - a\sqrt{V})$$

Rearranging, yet another line equation emerges:

$$-\frac{k_B}{q}m(V) = \phi_B - a\sqrt{V}$$

Experimentally, this involved plotting $I(V, T)$ data as $\ln\left(\frac{I}{T^2}\right)$ vs. $1/T$ and extracting the slope $m(V)$ of the fitted lines, a demonstration of which is shown in Fig.4 below.

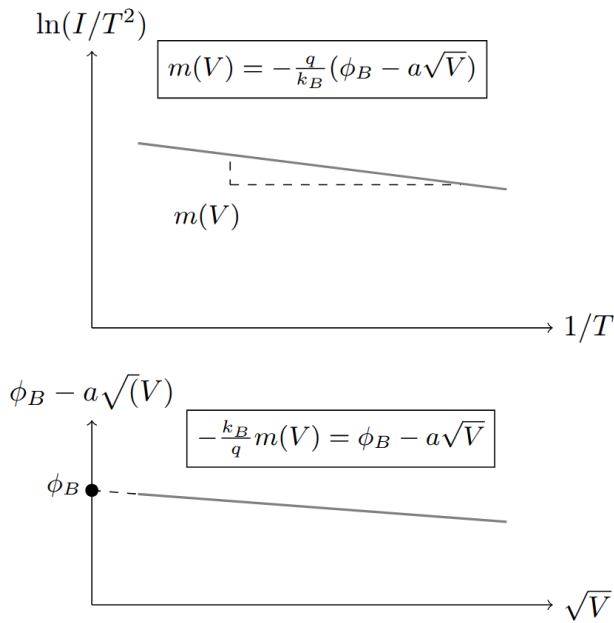


Figure 4: Graphical representation of barrier height extraction.

The slopes $m(V)$ were converted to energy units via multiplication by $-k_B/q$ and plotted as a function of $\sqrt{V}$. Here the y-intercept of a linear fit directly yields the barrier height.

4 Electrical characterization

Prepared samples have undergone electrical characterization using Kithley 4200-SCS instrument, measuring IV characteristics at temperatures from 25 °C to 150 °C with 25 °C increments, on pads with varying separation distance L , listed in Fig.5.

From the measurements at room temperature, a dataset describing the dependence of resistivity vs. annealing temperature, shown in Fig.6 was established. The optimal annealing temperature was found to be 550 °C, which coincides with those reported for gallium oxide grown on other substrates [4]. Prior to annealing, the films exhibited no measurable conductivity. A higher doping concentration resulted in increased resistivity compared to the lower concentration.

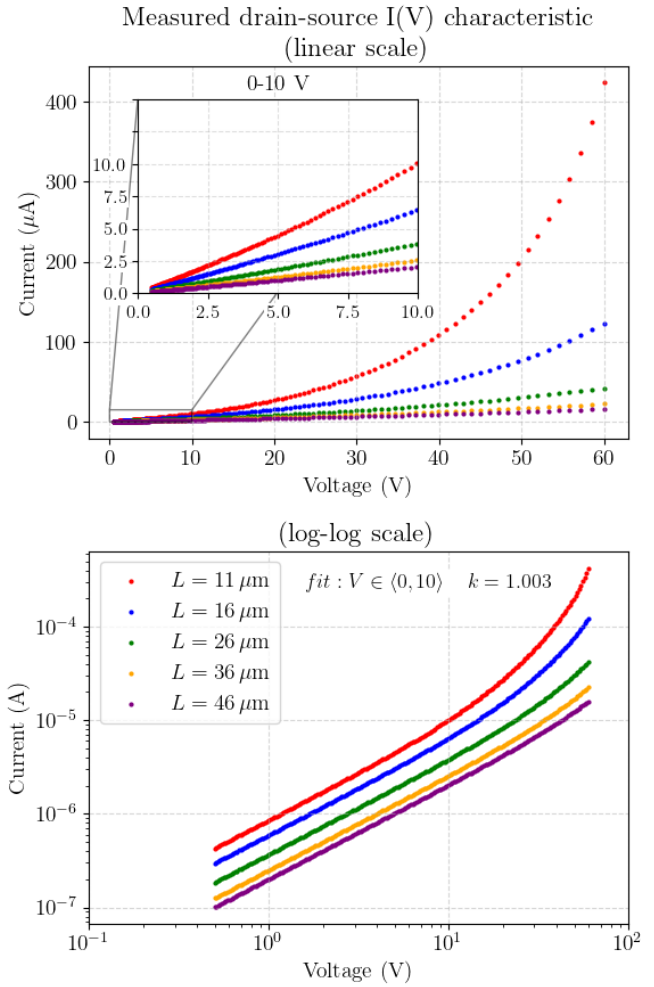


Figure 5: Typical IV characteristics of a device with varying pad separation distances annealed at 550 °C

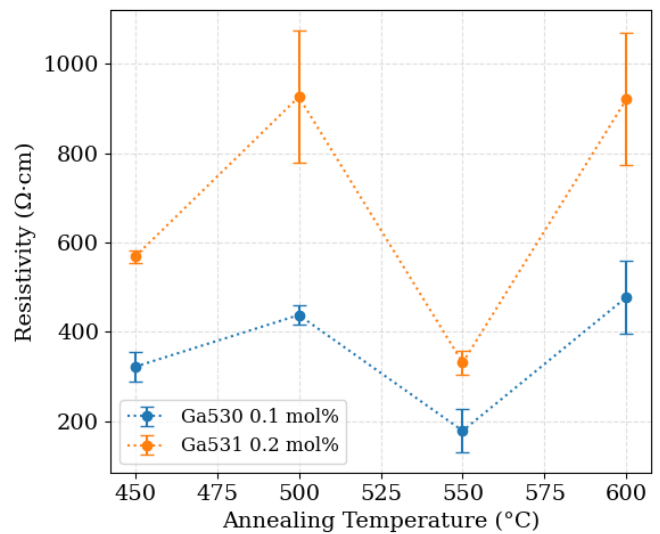


Figure 6: Bulk resistivity vs. annealing temperature for two distinct doping concentrations.

Resistivities at separate temperatures were evaluated using transfer length method. The natural logarithm of conductivity against $\frac{1}{k_B T}$ was fitted with lines the slopes of which revealed the activation energy, shown in Fig.7.

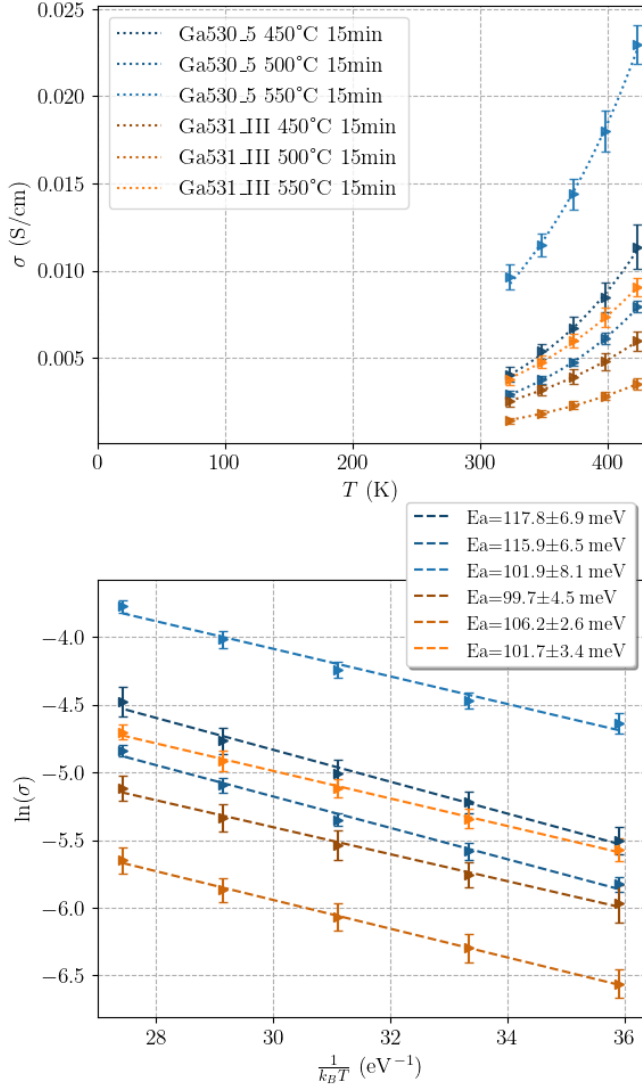


Figure 7: Graphs presenting bulk conductivity in relation to measurement temperature (*top window*) and Arrhenius plot with extracted activation energies (*bottom window*).

Activation energy of approximately 100 meV was extracted from the Arrhenius plot in Fig.7.

The same data was helpful in finding the barrier height which equated to 41.1 ± 7.84 meV.

A precise value of contact resistance was invaluable due to large deviation and frequent negative intersects in all samples. The valid recorded values resided in the range of $0 - 1 \cdot 10^5 \Omega$, but no statistically meaningful average could be concluded.

5 Discussion

5.1 Effects of hydrogen annealing on conductivity

A hypothesized limitation arises from gallium vacancies in Ga_2O_3 lattice, that leave dangling oxygen atoms, which act as deep acceptors within the material. Electrons existing in E_C , e.g. as a result of excitation above the dopant's donor level, possess a likelihood of falling into the energy well created by the vacancy. In practice, this reflects as decreased conductivity of the material. A proven method for passivation of such defects is to anneal in H_2 forming gas. Hydrogen bonds to the oxygen atoms and neuters the acceptor nature of the vacancy.[4]

This notion is consistent with the experimental results, where a conductivity in the order of $10^2 - 10^3 \Omega \cdot cm$ emerged from annealing previously non-conductive samples.

5.2 Contact and bulk properties

A slope of steepness 1.00 expressed from lines fitted over the log-log current-voltage characteristics in Fig.5 indicates ohmic behavior ($I \propto V$) in bias below 10 V for the used device geometry.

Using reported values of electron affinity for $\beta - Ga_2O_3$ (4.0 eV)[6] and work function of polycrystalline titanium (4.33 eV), an ideal Schottky barrier height of approximately 0.33 eV is expected for Ti contacts. The extracted values of ~ 41 meV are an order of magnitude lower and therefore hint at a different mechanism being responsible for observed non-linear behavior.

The extracted activation energy suggests a thermally activated bulk transport process, with the activation being related to carrier mobility or concentration.

6 Conclusion

The presented resistivity values of annealed samples showed orders of magnitude improvement in conductivity compared to as-deposited films, and suggest optimal annealing temperature of 550 °C for polycrystalline $\beta - Ga_2O_3$.

Decreased conductivity in samples with higher doping concentration suggests that overwhelming dopant incorporation may have had a detrimental effect on conductivity.

The extracted barrier height of ~ 41 meV is significantly lower than the expected Schottky barrier of ~ 0.33 eV for Ti contacts, indicating that the observed non-linearity is unlikely to originate from a Schottky contact.

Activation energy of ~ 100 meV was obtained from the Arrhenius analysis, hinting at a thermally activated transport.

The available data does not allow unambiguous identification of the mechanism, and further investigation is required to fully resolve the transport properties in these films.

References

- [1] J. Appl. Phys. 126, 160901 (2019);
<https://doi.org/10.1063/1.5123213>
- [2] M. Higashiwaki
 β -Ga₂O₃ material properties, growth technologies, and devices: a review
Higashiwaki AAPPS Bulletin (2022) 32:3
<https://doi.org/10.1007/s43673-021-00033-0>
- [3] Masataka Higashiwaki et al.
Recent progress in Ga₂O₃ power devices
2016 Semicond. Sci. Technol. 31 034001
- [4] F. Hrubíšák, M. Ľapajna, F. Egyenes et al.
The effect of hydrogen annealing on the electrical properties of Ga₂O₃/4H-SiC MOSFETs grown by liquid-injection MOCVD
Materials Science in Semiconductor Processing 206 (2026) 110402 <https://doi.org/10.1016/j.mssp.2025.110402>
- [5] K. D. Leedy, K. D. Chabak, V. Vasilyev et al.
Highly conductive homoepitaxial Si-doped Ga₂O₃ films on (010) β -Ga₂O₃ by pulsed laser deposition
Appl. Phys. Lett., vol. 111, no. 012013, 2017.
- [6] Zeng Liu et al.
Review of gallium oxide based field-effect transistors and Schottky barrier diodes
2019 Chinese Phys. B 28 017105
- [7] S. M. Sze
Semiconductor Devices: Physics and Technology 2nd edition (2002)
ISBN 0-471-33372-7

Investigation of anisotropy in β -Ga₂O₃ thin films on sapphire substrates.

Marcel Petrik^{1,2}, Dagmar Gregušová², Fridrich Egyenes², Ondrej Pohorelec², Sai Gurukrishna Vadlamudi², Kristína Hušeková², Tomáš Ščepka², Boris Hudec², Milan Ťapajna², Filip Gucmann²

¹ Slovak University of Technology, Faculty of Electrical Engineering and Information Technology, Ilkovičova 3, 84104, Bratislava, Slovakia

² Institute of Electrical Engineering SAS, Dúbravská cesta 9, 84104, Bratislava, Slovakia

xpetrikm@stuba.sk

Abstract – β -Ga₂O₃ is an emerging ultra-wide bandgap semiconductor material suitable for high voltage power electronics and deep ultraviolet optoelectronic applications. When grown homoepitaxially, β -Ga₂O₃ suffers from low thermal conductivity and high cost of native substrates. To tackle these problems, we study heteroepitaxial growth of Si-doped β -Ga₂O₃ thin films on foreign substrates, specifically sapphire substrates with 0° and 8° off-cut angles. Further, it was theoretically suggested that there might be electrical anisotropy in β -Ga₂O₃ crystal. Transfer length method (TLM) and metal-oxide-semiconductor field-effect-transistor (MOSFET) micro-structures oriented in two perpendicular directions were patterned on β -Ga₂O₃ films. We experimentally investigated the question of electrical anisotropy in β -Ga₂O₃ benefitting from two perpendicular directions of prepared MOSFET micro-structures. TLM and I-V measurements were performed, with results suggesting a presence of minor electrical anisotropy. The impact of 8° off-cut was observed, reducing the sheet resistance of our samples by factor of two. These findings give us a better understanding of β -Ga₂O₃ to further improve our devices on sapphire substrates.

1 Introduction

Monoclinic Gallium oxide (β -Ga₂O₃) is a promising new semiconductor material that has recently gained significant research attention for its characteristic attributes. It belongs to the ultrawide-bandgap (UWBG) semiconductors thanks to its large energy bandgap of approximately 4.9 eV and a high breakdown electric field of 8 MV cm⁻¹ [1]. These properties make it a favorable candidate for high-power and high-voltage applications, which are currently largely served by wide bandgap (WBG) semiconductors, mainly SiC and GaN. β -Ga₂O₃ also exhibits strong absorption of deep ultraviolet (DUV) light, making it well suited for optoelectronic applications such as solar-blind photodetectors [2].

β -Ga₂O₃ exists in five different polymorphic crystal phases denoted as corundum (α), monoclinic (β), defect spinel (γ), cubic (δ), and orthorhombic (ϵ). The only thermodynamically stable form is the β -Ga₂O₃, while other phases are metastable at best [1],[2]. Alongside its ease of

production, this makes β -Ga₂O₃ the most extensively studied form of Ga₂O₃. Although promising, β -Ga₂O₃ has few disadvantages, the main being a lack of p-type doping. While n-type doping has been possible for decades using Si, Ge, and Sn as donors, there have not been successful reports of p-type doping, largely due to the inability to find acceptor atoms with small activation energy. Another drawback that β -Ga₂O₃ suffers from is low thermal conductivity (TC). While β -Ga₂O₃ devices are supposed to be working at high temperatures thanks to their large bandgap and high stability, heat generation will still be a problem, as it will limit the performance, even if they are highly efficient. Low TC is present mainly in bulk β -Ga₂O₃ homoepitaxial substrates, which also suffer from high cost and limited supply, although they make it easier to grow films of high quality [1]-[4].

To combat these disadvantages, β -Ga₂O₃ can be grown heteroepitaxially on foreign substrates with better TC, such as SiC, diamond, or low-cost substrates, namely Si and Al₂O₃. Samples where Ga₂O₃ was grown directly on Si show high level of lattice mismatch, which indicates a necessity for a buffer layer. Chen et al. have used AlN, which improved the lattice mismatch, but made it more difficult to grow β -Ga₂O₃ specifically [4].

SiC is also a viable substrate material, since it has high TC, which should improve heat dissipation in devices. Two polytypes of SiC are mostly used, namely 4H-SiC and 6H-SiC, where the “H” indicates a difference in hexagonal symmetry. 6H-SiC is mostly used for optoelectronic applications, while 4H-SiC’s applications cover high-power or high-frequency electronic devices. β -Ga₂O₃ layers grown directly on SiC also show substantial lattice mismatch, which can be decreased by either the use of buffer layers or thermal annealing [5].

Diamond is another viable material that can be used as a substrate, offering very high TC and resistance to wear, while also being transparent across a wide wavelength spectrum [6]. This makes it optimal for optoelectronic applications like photodetectors. The high cost of diamond wafers is its main drawback [7].

Sapphire substrates offer lower cost compared to other substrates, making them optimal for experimental work. Notably, β -Ga₂O₃ films can be grown directly on sapphire substrates without the need for a buffer layer, while achieving

low lattice mismatch. Specifically on c-plane sapphire, β -Ga₂O₃ films of the highest quality were obtained [8].

However, the use of c-plane sapphire as a substrate brings another challenge, since it has hexagonal surface symmetry, which promotes the growth of β -Ga₂O₃ in six different directions. These directions are denoted as in-plane rotational domains (IRDs) and they impact the structural, electrical, and optical attributes of the β -Ga₂O₃ films, as well as their overall quality. To curb these negative effects, IRDs have to be suppressed during growth. One of the ways to do so is to use sapphire substrates, that are cut at an angle, making them inclined in a certain direction. We refer to these substrates as being off-axis or off-cut by a certain degree [3],[9].

Given the fact, that β -Ga₂O₃ grows in six different directions, we have a low crystal symmetry, which generates physical, electrical, and optical anisotropy. TC and optical absorption show relatively high differences, when measured in different directions. Thermal conductivity was reported to be 3 times higher in certain directions, while the optical absorption showed a difference of 6%. Electron effective mass (m_e), which is linked with electrical properties, such as conductivity and mobility, has been calculated in two different directions as $0.5m_0 < m_e < 1.0m_0$ and $1.0m_0 < m_e < 2.0m_0$ respectively [10]. However, He et al. have calculated m_e for the same directions as $0.124m_0$ and $0.130m_0$, showing much lower difference in m_e in the two directions [11]. This substantial difference prompts us to further investigate the effect of electrical anisotropy.

In this study, we analyze the sheet resistance of β -Ga₂O₃ films grown on 8° off-axis and on-axis sapphire substrates. The objective is to evaluate how substrate orientation affects the electrical properties of these films. We investigate in-plane electrical anisotropy to determine if off-axis growth causes directional dependence in conductivity. Overall, the interest lies in the transistor realization. Therefore, we analyzed both off-cut angle and anisotropy effect on processed transistor-like structures, which were the core of the work.

2 Materials and Methodology

We have grown our Si-doped β -Ga₂O₃ thin films on unintentionally doped UID-Ga₂O₃ thin films using a customized liquid injection metal-organic chemical vapor deposition system, described in [12].

We performed a two-step growth of β -Ga₂O₃. During the first step, we deposited unintentionally doped UID-Ga₂O₃ on c-plane sapphire substrates with 0° and 8° off-cut angles. UID-Ga₂O₃ was grown using liquid precursor consisting of Gallium acetylacetonate (Ga(acac)₃). Then, a thin film of Si-doped Ga₂O₃ was grown on top of the UID-Ga₂O₃, where both Ga(acac)₃ and tetraethyl orthosilicate (TEOS) we used. TEOS was used as a precursor for silicon, acting as a dopant to achieve n-type doping. We have controlled the molar ratio of Ga:Si atoms as 0.999:0.001, to achieve a dopant molar percentage of Si = 0.1 mol%. Equal number of injections of liquid mixture with precursors were used during the first and the second step, specifically 5000 injections. Figure 1 (a) depicts the sketch of final heterostructure where the devices were patterned.

After the films were deposited, we used spectroscopic ellipsometry to measure the thickness of our samples.

Spectroscopic ellipsometry is a measurement method, where we compare the known incident light polarization and the detected light polarization for a wavelength spectrum between 240 and 850 nm. The measurement was made on Sentech SE 800 E ellipsometer and analyzed by Spectra Ray/3 software.

Having obtained the thickness of our Ga₂O₃ thin films, we began to process our samples, to define structures and devices for electrical measurements. Firstly, we cleaned the samples by putting them in acetone, isopropyl alcohol, and deionized water and placing them into an ultrasonic cleaner for 5 minutes each. Then we applied a coat of AZ-5214-E photoresist on the samples, that was evenly distributed in a Laurell WS-400B-6NPP spin coater. We used 4000 rpm for 40 seconds, which gave us a layer of photoresist approximately 1.4 μ m thick. Afterwards the samples were placed on a 90°C hot plate.

Having fully covered the samples with a baked-on photoresist, we processed them by a DUV photolithography with a custom-made photolithographic mask, that featured various structures, most importantly the transfer length method (TLM) structures and metal-oxide-semiconductor field-effect-transistors (MOSFETs). We then proceeded with Silicon tetrachloride (SiCl₄) etching, which lasted for 30 minutes, having etched both the n-type and UID layer of Ga₂O₃ (see Figure 1 (b)). Afterwards we deposited ohmic contacts made of 50 nm Ti and 60 nm Au using e-beam evaporation. Then we continued with the lift off process, where we washed away unwanted metal and the rest of photoresist resulting in structure illustrated in Figure 1 (c).

With the ohmic contacts fully deposited, we annealed all samples in forming gas (10% H₂ + 90% N₂) at 550°C for 30 minutes, as was reported by Hrubíšák et al. as being optimal [13]. We annealed our samples to decrease their resistivity, by passivating acceptor traps and activating the n-type conductivity.

Lastly a 20 nm-thick Al₂O₃ gate oxide was grown by atomic layer deposition (ALD, Beneq TFS-200) using trimethylaluminium (TMA) and H₂O precursors at 200 °C. Then the gate metal contact made of 50 nm Ni and 60 nm was deposited by e-beam evaporation, to achieve targeted devices (cross section depicted in Figure 1 (d)). Figure 1 illustrates step-by-step processing from the heterostructure to the final transistor device.

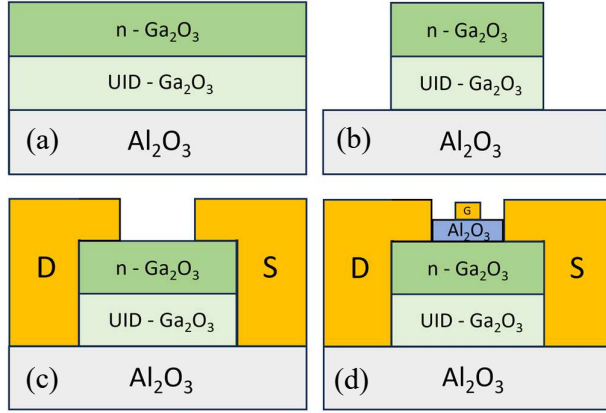


Figure 1. Cross sections of processing steps schematics. (a) On the thin films grown on sapphire substrates, (b) the geometry of Ga₂O₃ device area was patterned via MESA etching, followed by (c) Ohmic contacts deposition. Finally, (d) Al₂O₃ gate oxide was grown, and gate contacts were deposited achieving the targeted transistor-like devices.

The photolithographic mask we used featured transistors in two perpendicular directions denoted as X and Y, with thin gate contacts placed between source and drain contacts. Transistor evaluation was out-of-scope of this work. However, transistor structures were used to evaluate anisotropy, benefitting from transistors oriented in two directions, while TLM structures were oriented only in the direction X.

Electrical characteristics were measured using Keithley 4200 semiconductor characterization system. An I-V measurement was done on transistor structures, where voltage was applied and current was measured. To avoid the impact of charging effects on the studied material properties, I-V measurements were done without any bias connected to the gate. We can assume that when connecting only drain and source, the transistor structures work as a resistor. The dimensions of our samples were as follows, the length (L) was 18 μm in direction X and 22 μm in direction Y, while width (W) was 68 μm in both directions. To process the measured data, distances L and W , were used as an average value of 8 measurements via optical micrograph (example depicted in Figure 2).

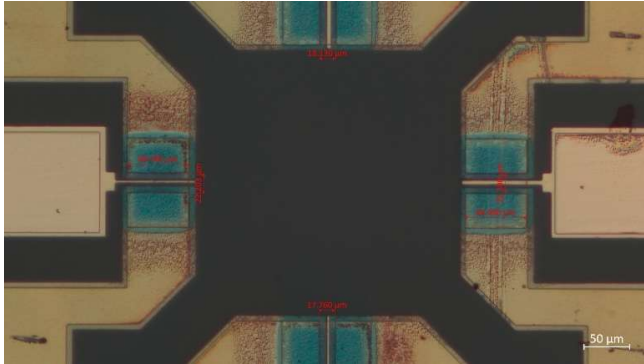


Figure 2. Optical micrograph of transistor structures highlighting their suitability for orientation-dependent electrical measurements.

3 Results and Discussion

The thickness of our samples measured by spectroscopic ellipsometry was 101 nm each. Since UID-Ga₂O₃ and Si-doped Ga₂O₃ were grown via equal number of injections, we assume that their thicknesses are also equal, specifically 50 nm. However, our choice of material analysis does not consider film thickness. Therefore, uncertainties in the thickness of the Si-doped layer of our heterostructure do not affect the presented results.

When the Ohmic contacts were deposited, a standard TLM measurement was performed. We plotted the median value of resistivity for each distance and performed a linear fit (see Figure 3). We calculated the sheet resistance (R_{sh}) and contact resistance (R_c) from the following equation

$$R_{TOT} = \frac{2R_c}{W} + \frac{R_{sh}}{W}d, \quad (1)$$

where R_{TOT} is the total measured resistance, d is the distance between TLM pads, and W is width of our semiconductor.

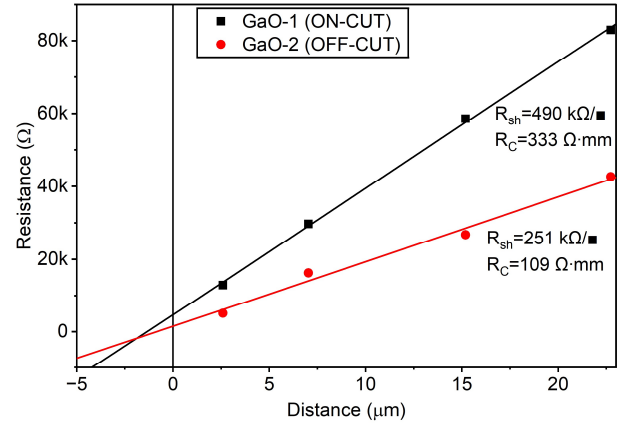


Figure 3. TLM measurements with the corresponding extracted parameters.

Even though our values of R_c are relatively high (see Figure 3), when compared to R_{TOT} , we see that its values are much lower. Since $R_{TOT} \gg R_c$, R_c is negligible, which means that the measured results reflect material properties. Then a set of I-V measurements were performed with voltage ranging from -1 to 1 volts with a voltage step $\Delta V = 0.05 \text{ V}$. For calculations and plotting (see Figure 4) we used the vector form of Ohm's law

$$\vec{J} = \sigma \vec{E}, \quad (2)$$

where $\vec{J}$ is current density, σ is electrical conductivity and $\vec{E}$ is electric field. We do this to calculate the sheet resistance (R_{sh}) of our thin films and to account for the varying dimensions of our structures. Instead of current density, we used I_D as absolute measured current divided by the width of our samples, to simplify our calculations. We performed a linear fit for curves on our plotted graphs and took the slope of our curves, which is equivalent to I/R_{sh} using the following formula

$$I_D = \frac{1}{R_{sh}}E \quad (3)$$

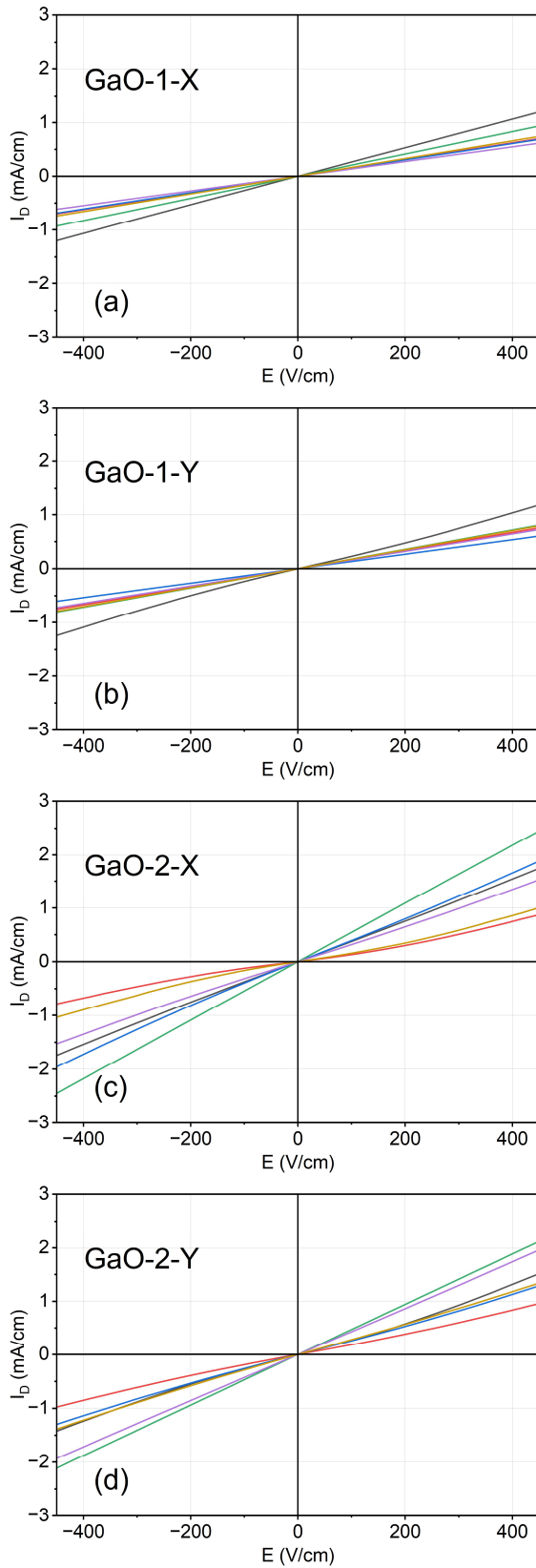


Figure 4. I_D as a function of E measured on devices prepared on (a) GaO-1-X, (b) GaO-1-Y, (c) GaO-2-X, (d) GaO-2-Y.

Linear behavior of I_D as a function of E shows the suitability of material parameters extracted from Equation (3).

We calculated the R_{sh} values for each sample in both directions using Equation (3) and compared them with results obtained from TLM measurements, which show reasonable agreement. Therefore, we conclude that extracted R_{sh} values accurately describe the material properties of our devices.

Table 1. Sample description with the respective off-cut angles of substrates. The resulting R_{sh} from Equation (3), along with the corresponding standard deviations, are listed for both the X and Y directions. R_{sh} extracted via TLM are also listed.

Sample name	Off-cut angle (°)	R_{sh} ($\Omega/\square$)	Standard deviation ($\Omega/\square$)
GaO-1-X	0	5.54E+05	1,30E+05
GaO-1-Y	0	4.54E+05	9,75E+04
GaO-1-TLM	0	4.90E+05	
GaO-2-X	8	2.88E+05	1,47E+05
GaO-2-Y	8	2.44E+05	7,71E+04
GaO-2-TLM	8	2.51E+05	

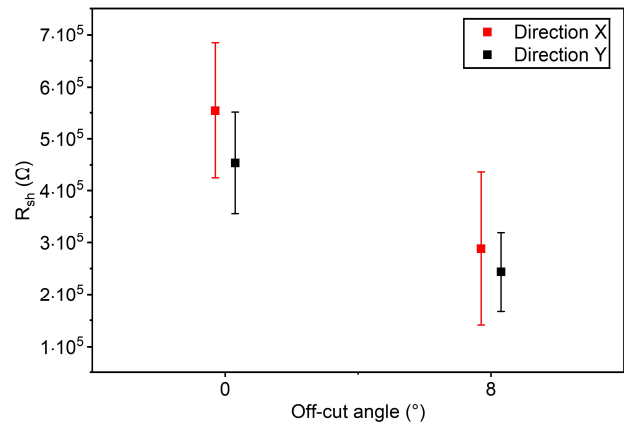


Figure 5. Sheet resistance extracted from Equation (3) and I-V measurements in two directions, X and Y, as a function of off-cut angle.

When we plotted the respective values of R_{sh} for each sample and direction with its standard deviation (see Figure 5), we see a trend of R_{sh} being higher in the direction X. Having measured multiple devices and calculated the standard deviation, we observe that our samples are not homogenous. Our results suggest that electrical anisotropy is present, but minor. However, we believe that samples with improved homogeneity would shed more light on the question of electrical anisotropy. This is, however, out-of-scope of the presented work.

Finally, we also observe the impact of the 8° off-cut, which halved the value of R_{sh} . This observation gives us more knowledge to further improve our Ga_2O_3 devices on sapphire substrates.

4 Conclusion

We have analyzed two types of β -Ga₂O₃ thin films grown on sapphire substrates with 0° and 8° off-cut angles. Thin films were processed using photolithography. TLM and MOSFET micro-structures oriented in two perpendicular directions were prepared. Sheet and contact resistance were measured by the TLM measurement, which showed negligible contact resistance. An I-V measurement was performed, showing Ohmic linear behavior, where sheet resistance was extracted in two perpendicular directions. Here, we observed minor differences suggesting the presence of electrical anisotropy. Improved sheet resistance on devices grown on substrates with 8° off-cut was observed, suggesting it as more promising off-cut angle for future experiments. Based on these results, we acquired critical data for our future transistor measurements on the same samples.

Acknowledgement

I would like to thank RNDr. Dagmar Gregušová, DrSc. for guidance and expertise regarding cleanroom processing, Ing. Ondrej Pohorelec, PhD. for mentoring, guidance regarding electrical measurements and writing, Mgr. Fridrich Egyenes, PhD for his time and effort regarding methodology and writing, and Ing. Milan Ťapajna, PhD. and Ing. Filip Gucmann, PhD. for project administration and funding acquisition.

References

- [1] S.Sun, C.Wang, S.Alghamdi, H.Zhou, Y.Hao, J.Zhang; Recent Advanced Ultra-Wide Bandgap β -Ga₂O₃ Material and Device Technologies, *Adv. Electron. Mater.* (11) (2025) 2300844, <https://doi.org/10.1002/aelm.202300844>
- [2] Y. Ho, et al., Deep Ultraviolet Optical Anisotropy of β -Gallium Oxide Thin Films, *ACS Omega* (9) (2024) 27963-27968, <https://doi.org/10.1021/acsomega.3c10280>
- [3] H. Chouhan, et al., Rotational domains and origin of improved crystal quality in heteroepitaxial (201) β -Ga₂O₃ films grown on vicinal substrates by MOCVD, *Journal of Alloys and Compounds* (1044) (2025) 184481, <https://doi.org/10.1016/j.jallcom.2025.184481>.
- [4] W. Chen, Z. Chen, Z. Li, Z. Fei, Y. Pei, G. Wang, Z. He, Heteroepitaxy of ϵ -Ga₂O₃ thin films grown on AlN/Si(111) templates by metal-organic chemical vapor deposition, *Applied Surface Science* (581) (2022), 152335, <https://doi.org/10.1016/j.apsusc.2021.152335>
- [5] C. Ku, S. Chung, F. Tarntair, C. Hsiao, R. Horng; Study of thermal annealing on gallium oxide heteroepitaxial layers grown on SiC for vertical Schottky barrier diodes applications, *Applied Surface Science Advances*, (24) (2024) 100661, <https://doi.org/10.1016/j.apsadv.2024.100661>
- [6] Y. Xie, et al., Characteristics of β -Ga₂O₃ MOSFETs on polycrystalline diamond via electrothermal modeling, *Diamond and Related Materials*, (142) (2024) 110847, <https://doi.org/10.1016/j.diamond.2024.110847>
- [7] S. J. Pearton, F. Ren, M. Tadjer, J. Kim; Perspective: Ga₂O₃ for ultra-high power rectifiers and MOSFETs. *J. Appl. Phys.* 14 December 2018; 124 (22): 220901. <https://doi.org/10.1063/1.5062841>
- [8] B.R. Tak, et al., Recent advances in the growth of gallium oxide thin films employing various growth techniques-a review, *J. Phys. Appl. Phys.* 54 (45) (2021) 453002, <https://doi.org/10.1088/1361-6463/ac1af2>
- [9] C. Lee, et al., Substrate Off-Cut Effect on the Performance of Enhancement-Mode β -Ga₂O₃ Metal-Oxide-Semiconductor Field-Effect Transistors, *ACS Applied Electronic Materials* (7) (24) (2025) <https://doi.org/10.1021/acsaelm.5c02198>
- [10] N. Ueda, et al., Anisotropy of electrical and optical properties in β -Ga₂O₃ single crystals, *Appl. Phys. Lett.* (71) (1997) 119693, <http://dx.doi.org/10.1063/1.119693>
- [11] H. He, et al., Electronic and thermodynamic properties of β -Ga₂O₃, *Appl. Phys. Lett.* (88) (2006) 261904, <https://doi.org/10.1063/1.2218046>
- [12] F. Egyenes, et al., Growth of α - and β -Ga₂O₃ epitaxial layers on sapphire substrates using liquid-injection MOCVD, *Semicond. Sci. Technol.* 35 (11) (2020) 115002, <https://doi.org/10.1088/1361-6641/ababdc>.
- [13] F. Hrubíšák, et al., The effect of hydrogen annealing on the electrical properties of β -Ga₂O₃/4H-SiC MOSFETs grown by liquid-injection MOCVD, *Materials Science in Semiconductor Processing* (206) (2026) 110402, <https://doi.org/10.1016/j.mssp.2025.110402>.

Optimalizácia spínania MOSFET meniča podporená simuláciou

Vadym Berezovskyi, Aleš Chvála

Ústav elektroniky a fotoniky, FEI STU v Bratislave

xberezovskyi@stuba.sk

Abstrakt – Práca sa zaoberá porovnaním dvoch konštrukčných riešení meniča v zapojení polovičného mostíka s MOSFET tranzistormi pomocou simulácie a modelovania. Porovnáваме diskrétné riešenie tvorené dvoma samostatnými tranzistormi v dvoch samostatných puzdách a multichipové riešenie, v ktorom sú dva tranzistory umiestnené v jednom puzdre. V simuláciách sa zameriavame na analýzu parazitných parametrov, predovšetkým parazitnej indukčnosti jednotlivých elektród a vodivých ciest. Získané parametre sa následne použijú pri časových simuláciách, v ktorých sa sleduje rozdiel v oneskorení zopnutia a vypnutia, ako aj rozdiel v osciláciách napätia a prúdu oboch riešení. Práca obsahuje návrh modelov, ich simuláciu a vzájomné porovnanie dosiahnutých výsledkov. Výsledkom práce je vyhodnotenie rozdielov medzi diskrétnym a multichipovým riešením z hľadiska parazitných parametrov a dynamiky spínania.

1 Úvod

Výkonové mostíkové zapojenia patria medzi dôležité časti modernej výkonovej elektroniky. Používajú sa v meničoch, invertoroch, impulzných zdrojoch napájania a v ďalších zariadeniach, v ktorých je potrebné účinne spracovať elektrickú energiu. Pri návrhu takýchto zapojení je dôležité sledovať nielen vlastnosti samotných tranzistorov, ale aj vplyv puzdra, vodivých ciest a spôsobu vnútorného prepojenia. Práve tieto časti môžu výrazne ovplyvniť priebeh spínania a celkové vlastnosti zapojenia.

MOSFET tranzistor je výkonový polovodičový prvok, ktorý sa používa najmä v aplikáciách s vysokou spínacou frekvenciou, vysokou účinnosťou a vysokou výkonomou hustotou. Umožňuje rýchle spínanie a prácu pri vyšších teplotách. Pri rýchlom spínaní však rastie význam parazitných parametrov, ktoré vznikajú v puzdre, vo vodivých cestách a v samotnom spôsobe prepojenia tranzistora. [1]

V práci sa porovnávajú dve konštrukčné riešenia MOSFET tranzistorov osadených na DPS. Prvým riešením je diskrétna usporiadanie tvorené dvoma samostatnými tranzistormi v dvoch samostatných puzdách. Druhým riešením je multichipové usporiadanie, v ktorom sú dva tranzistory umiestnené v jednom spoločnom puzdre. Tieto riešenia sa odlišujú geometriou, dĺžkou vodivých ciest a konštrukciou puzdra, čo sa následne prejavuje aj v ich magnetických parametroch.

V klasických výkonových puzdách sa často používa drôtové prepojenie (obr. 1). Takéto riešenie je jednoduché a rozšírené, ale môže mať vyššiu parazitnú indukčnosť, pretože prúd prechádza dlhšou a menej priaznivou cestou. Druhou

možnosťou je klipové prepojenie, pri ktorom sa na spojenie používa vodivý klip (obr. 1). Toto riešenie môže skrátiť prúdové cesty, znížiť parazitné parametre a zlepšiť správanie tranzistora pri spínaní. Aj preto je vhodné tieto dve technológie navzájom porovnať. [2]

Na skúmanie takýchto javov sú vhodné simulačné metódy. Umožňujú analyzovať správanie navrhovaných štruktúr ešte pred ich fyzickou realizáciou a porovnať viacero variantov bez potreby veľkého počtu meraní. V prostredí COMSOL Multiphysics je možné vytvoriť 3D model a sledovať magnetické vlastnosti vodivých ciest a elektród.

Na zistenie správneho fungovania súčiastky alebo niektorých z jej parametrov sa vo väčšine používajú simulácie, ktoré nahrádzajú dlhotrvajúce ručné merania, ktoré môžu byť ovplyvnené aj inými rušivými faktormi. Na simuláciu elektrických, tepelných a magnetických parametrov sa používa množstvo programov, napríklad aj COMSOL Multiphysics.

Magnetická simulácia sa používa na výpočet magnetických polí vo vodičoch a v častiach, ktorými tečie prúd. Dôležitou veličinou je magnetická indukcia B , ktorá opisuje magnetické pole vytvorené prúdom. Pri výpočte sa vychádza z Ampérovho zákona pre statické prúdy

$$\nabla \times B = \mu_0 \cdot J \quad (1)$$

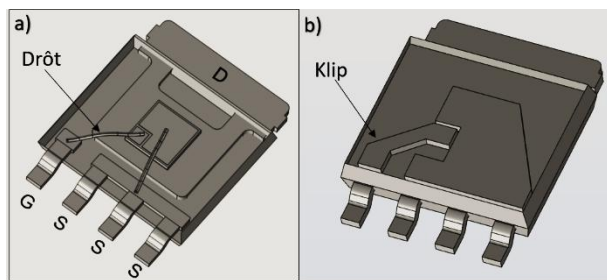
kde B je magnetická indukcia, μ_0 je permeabilita vákua a J je hustota elektrického prúdu. Pri simulácii sa často používa aj magnetický vektorový potenciál A , pomocou ktorého sa riešenie modelu zjednoduší

$$-\nabla^2 A = \mu_0 \cdot J \quad (2)$$

kde A je magnetický vektorový potenciál, μ_0 je permeabilita vákua a J je hustota elektrického prúdu.

Takýto prístup umožňuje určiť magnetické parametre štruktúry, napríklad indukčnosť jednotlivých elektród. Pri rýchlom spínaní je práve parazitná indukčnosť veľmi dôležitá, pretože vplýva na priebeh prúdu a na dynamiku spínania. [3]

Cieľom práce je porovnať diskrétna a multichipové riešenie MOSFET tranzistorov z hľadiska magnetických parametrov, najmä parazitnej indukčnosti, a vyhodnotiť ich vplyv na oneskorenie spínania a oscilácie napätia a prúdu.



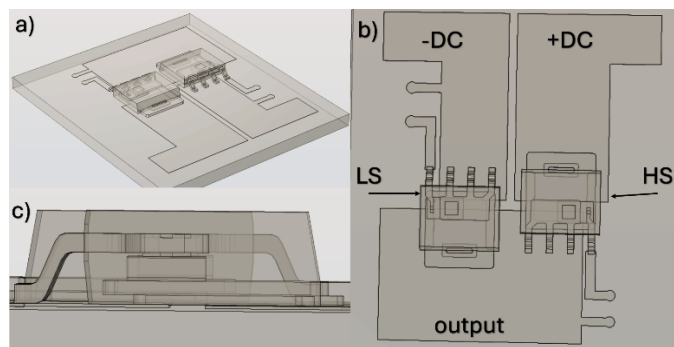
Obr. 1. Porovnanie technológií prepojenia výkonového MOSFET tranzistora: a) drôtové prepojenie, b) klipové prepojenie.

2 Experimentálna časť

Táto časť je zameraná na návrh modelov a na porovnanie výsledkov magnetických simulácií dvoch konštrukčných riešení MOSFET tranzistorov osadených na DPS, konkrétne diskretného riešenia s dvoma samostatnými puzdrami a multichipového riešenia s dvoma tranzistormi v jednom puzdre.

2.1 Návrh modelu dvoch samostatných tranzistorov na DPS

Geometria modelu dvoch samostatných MOSFET tranzistorov osadených na DPS (obr. 2) bola vytvorená podľa konštrukčného usporiadania reálneho riešenia. Pri návrhu modelu sa vychádzalo z rozmerov puzdra tranzistora BUK7Y7R v puzdre LFPAK56 a z rozloženia vodivých ciest na doske plošných spojov. Cieľom bolo vytvoriť taký model, ktorý bude čo najlepšie vystihovať skutočné usporiadanie tranzistorov na DPS a zároveň umožní porovnanie s multichipovým riešením. [5]



Obr. 2. Geometria modelu dvoch samostatných MOSFET tranzistorov na DPS: a) priestorový pohľad, b) pohľad zhora, c) pohľad z boku.

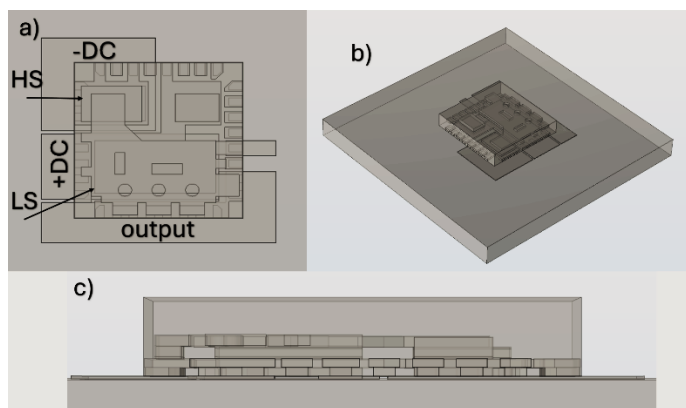
Pri návrhu geometrie bol dôraz kladený najmä na tvar puzdier, polohu jednotlivých elektród a dĺžku prúdových ciest, pretože práve tieto časti majú významný vplyv na výsledné magnetické parametre. Po vytvorení geometrie tranzistorov bol navrhnutý aj model DPS s príslušnými medenými plochami a prívodmi. Takto vytvorený model umožňuje sledovať rozloženie magnetického poľa a určiť parazitnú indukčnosť jednotlivých elektród a vodivých ciest.

Diskretné riešenie s dvoma samostatnými tranzistormi vytvára dlhšie prúdové cesty ako integrované multichipové riešenie, čo sa môže prejavovať vyššou parazitnou indukčnosťou.

Z tohto dôvodu bol model navrhnutý tak, aby zachytával hlavné konštrukčné rozdiely medzi oboma porovnávanými riešeniami a aby bolo možné neskôr vyhodnotiť ich vplyv na magnetické parametre a dynamiku spínania.

2.2 Návrh modelu dvoch tranzistorov umiestnených v jednom puzdre na DPS

Tvorba geometrie modelu dvoch MOSFET tranzistorov umiestnených v jednom puzdre na DPS (obr. 3) prebiehala podľa konštrukčného usporiadania multichipového riešenia. Pri návrhu modelu sa vychádzalo z tranzistora BUK7Y7R v puzdre LFPAK56. Keďže cieľom práce bolo porovnanie s diskretným riešením, v oboch modeloch bol použitý rovnaký typ tranzistora, aby sa rozdiely prejavili najmä v konštrukcii puzdra, v rozložení elektród a v dĺžke vodivých ciest. [5]



Obr. 3. Geometria modelu dvoch tranzistorov v jednom puzdre na DPS: a) pohľad zhora, b) priestorový pohľad, c) pohľad z boku.

Pri návrhu geometrie bol dôraz kladený najmä na tvar spoločného puzdra, na vnútorné usporiadanie oboch tranzistorov a na spôsob ich vzájomného prepojenia. Oproti diskretnému riešeniu sú v tomto prípade oba tranzistory sústredené v jednom spoločnom puzdre, čo vedie ku kompaktnejšiemu usporiadaniu a ku kratším prúdovým cestám. Takéto riešenie môže mať priaznivejší vplyv na magnetické parametre, najmä na parazitnú indukčnosť jednotlivých elektród a vodivých ciest.

Po dokončení geometrie puzdra bol vytvorený aj model DPS s príslušnými medenými plochami a prívodmi. Takto vytvorený model slúžil na magnetickú simuláciu a na určenie parazitnej indukčnosti vybraných častí štruktúry. Možností je samozrejme viac.

2.3 Nastavenie mriežky

Mriežka bola v oboch modeloch vytvorená v prostredí COMSOL Multiphysics pomocou tetraedrických prvkov. Pri jej nastavovaní bol hľadaný kompromis medzi presnosťou výsledkov a časom výpočtu. Keďže najväčší význam pre výsledky magnetickej simulácie má oblasť čipu a jeho blízke okolie, v tejto časti modelu bola použitá jemnejšia mriežka.

Pre oblasť čipu bola zvolená maximálna veľkosť prvku 0,0006 m a minimálna veľkosť prvku 0,00001 m. Pre zvyšok geometrie bola použitá hrubšia mriežka, pri ktorej bola

nastavená maximálna veľkosť prvku 0,006 m a minimálna veľkosť prvku 3×10^{-4} m. Takéto nastavenie umožnilo presnejšie zachytiť rozloženie magnetického poľa v dôležitých častiach modelu a zároveň zachovať prijateľný čas simulácie.

Rovnaký spôsob nastavenia mriežky bol použitý pri oboch porovnávaných riešeniach, aby bolo možné dosiahnuť výsledky navzájom korektne porovnať.

2.4 Simulácia

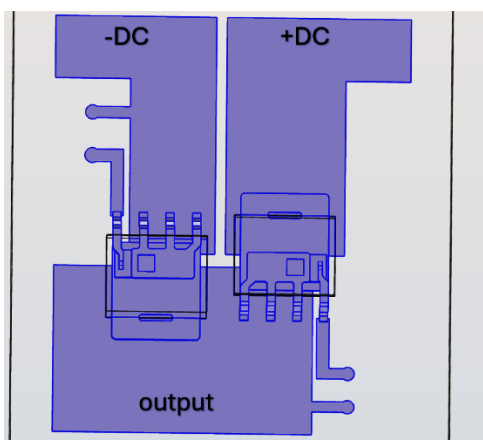
Po vytvorení geometrie oboch modelov a po nastavení mriežky bola v prostredí COMSOL Multiphysics vykonaná simulácia. Keďže cieľom práce bolo porovnanie diskretného a multichipového riešenia z hľadiska magnetických parametrov, pozornosť sa sústredila na magnetickú simuláciu. Pri simulácii sa sledovali vodivé časti modelu, prúdové cesty a parametre, ktoré majú vplyv na výslednú parazitnú indukčnosť a elektrický odpor jednotlivých elektród a vodivých ciest.

2.4.1 Magnetická simulácia

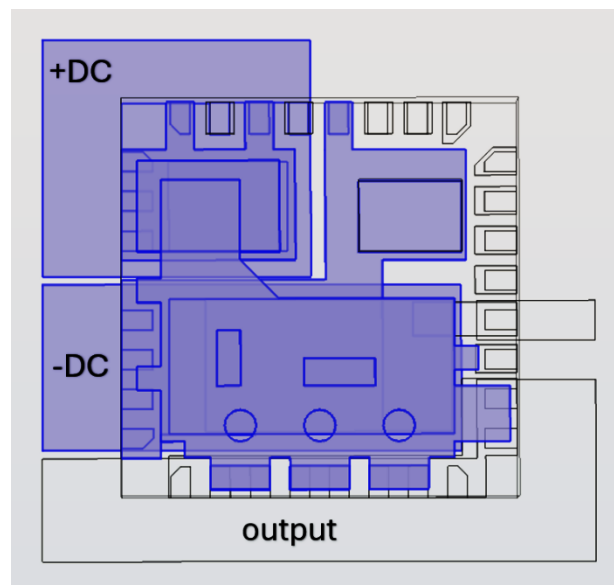
Magnetická simulácia bola realizovaná v prostredí COMSOL Multiphysics pomocou rozhrania „Magnetic Fields, Currents Only“. Toto rozhranie bolo zvolené preto, že umožňuje analyzovať vodivé časti modelu, ktorými preteká elektrický prúd, a určiť ich magnetické parametre. Pri simulácii bol okolo oboch modelov vytvorený aj voľný priestor, aby sa pole mohlo správne rozložiť v okolí súčiastky. [4]

V ďalšom kroku boli v oboch modeloch definované vodivé oblasti, ktoré predstavujú elektródy tranzistorov, vodivé časti puzdra a medené plochy na DPS. Na vybrané časti modelu boli následne priradené podmienky Terminal a Ground, čím sa určil smer toku prúdu medzi jednotlivými elektródami. Takto bolo možné vytvoriť podmienky pre porovnanie diskretného riešenia a multichipového riešenia za rovnakých simulačných podmienok.

Na obr. 4 je zobrazené definovanie vodivých oblastí modelu diskretného riešenia. Na obr. 5 je rovnakým spôsobom zobrazené definovanie vodivých oblastí modelu multichipového riešenia. Tieto obrázky nepredstavujú priamo výsledné rozloženie prúdu, ale nastavenie vodivých častí modelu, cez ktoré bude prúd v simulácii pretekať.



Obr. 4. Definovanie vodivých oblastí modelu diskretného riešenia pre magnetickú simuláciu.



Obr. 5. Definovanie vodivých oblastí modelu multichipového riešenia pre magnetickú simuláciu.

Po nastavení vodivých oblastí a okrajových podmienok bola simulácia vykonaná v dvoch krokoch. Najskôr sa vykonala inicializácia zdroja a následne stacionárny výpočet. Takýto postup umožnil získať stabilné výsledky pre oba porovnávané modely. Výstupom magnetickej simulácie boli hodnoty elektrického odporu R a parazitnej indukčnosti L vybraných elektród a vodivých ciest.

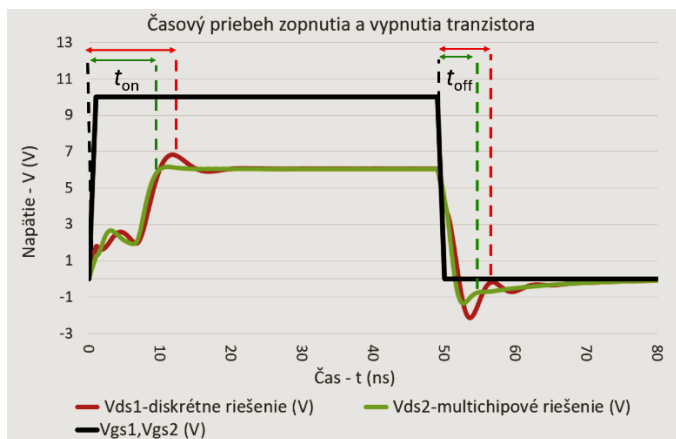
Získané hodnoty elektrického odporu R a parazitnej indukčnosti L boli následne spracované do tabuliek. Na lepšie porovnanie sú výsledky uvedené samostatne

Tab. 1 uvádza hodnoty elektrického odporu R a parazitnej indukčnosti L pre diskretné riešenie s dvoma tranzistormi v rôznych puzdrách.

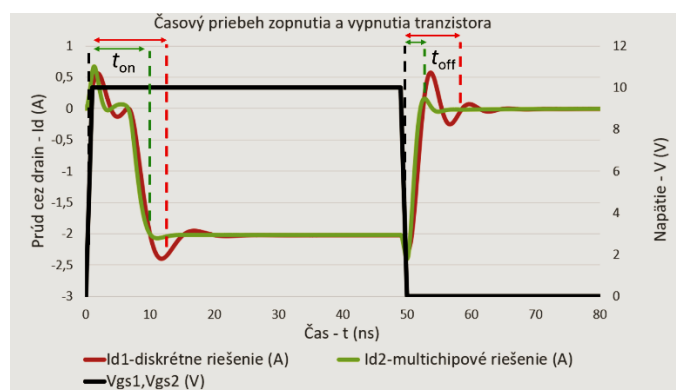
č.	Meraná veličina	Riešenie s dvoma samostatnými tranzistormi v rôznych puzdrách	Riešenie s dvoma tranzistormi v jednom puzdre
1	R	0.5197m Ω	7.318m Ω
2	L	3.112nH	1.598nH

2.4.2 Časová simulácia v LTspice

Na základe hodnôt získaných z magnetickej simulácie bola v prostredí LTspice vytvorená simulačná schéma. Do modelu boli dosadené hodnoty elektrického odporu R a parazitnej indukčnosti L pre obe porovnávané riešenia. Následne bola vykonaná časová simulácia, pomocou ktorej sa sledoval priebeh napätia a prúdu pri spínaní tranzistorov. Cieľom tejto časti bolo porovnať oneskorenie zopnutia a vypnutia a zároveň posúdiť rozdiel v osciláciách medzi diskretným a multichipovým riešením.



Obr. 6. Napätový priebeh pri zopnutí a vypnutí tranzistora.



Obr. 7. Prúdový priebeh pri zopnutí a vypnutí tranzistora.

Výsledky časovej simulácie sú zobrazené na (obr. 6) a (obr. 7). Z uvedených priebehov je možné porovnať správanie oboch konštrukčných riešení pri zopnutí a vypnutí tranzistora. Na grafoch sú zobrazené priebehy napätia V_{DS} , prúdu I_D a riadiaceho napätia V_{GS} . Z ich vzájomného porovnania je viditeľné, že konštrukčné usporiadanie tranzistorov a rozdielne hodnoty parazitných parametrov majú priamy vplyv na dynamiku spínania.

Pri porovnaní napätových priebehov možno pozorovať rozdiel najmä v priebehu prechodového deja po zmene riadiaceho signálu. V oboch prípadoch sa po prepnutí objavujú oscilácie, ich amplitúda a čas ustálenia sa však líšia. Diskrétné riešenie vykazuje výraznejší prekmit a dlhší čas ustálenia priebehu, čo naznačuje väčší vplyv parazitnej indukčnosti a menej priaznivé rozloženie vodivých ciest. Pri riešení s dvoma tranzistormi v jednom puzdre je priebeh kompaktnejší a po prepnutí sa ustáli rýchlejšie. To poukazuje na priaznivejší vplyv kratších prúdových ciest a menšej parazitnej indukčnosti.

Podobný rozdiel je možné pozorovať aj pri prúdových priebehoch. Počas spínania sa v oboch riešení objavujú krátkodobé zmeny prúdu a oscilácie spôsobené parazitnými parametrami zapojenia. Diskrétné riešenie má menej priaznivý priebeh, pri ktorom sú zmeny prúdu výraznejšie a ustálenie trvá dlhšie. Naopak pri multichipovom riešení je priebeh prúdu plynulejší a počiatočné oscilácie sú menšie. Z toho možno usudzovať, že kompaktnejšie konštrukčné riešenie prispieva k stabilnejšiemu priebehu spínania.

Získané výsledky zároveň potvrdzujú súvislosť medzi magnetickou a časovou simuláciou. Hodnoty elektrického odporu R a parazitnej indukčnosti L , ktoré boli určené v prostredí COMSOL Multiphysics, sa priamo prejavili aj v časových priebechoch v LTspice. Väčšia parazitná induknosť vedie k výraznejším osciláciám a menej priaznivému priebehu napätia a prúdu. Naopak menšia induknosť a vhodnejšie konštrukčné usporiadanie vedú k rýchlejšiemu ustáleniu a lepším dynamickým vlastnostiam.

Na základe porovnania časových priebehov možno konštatovať, že riešenie s dvoma tranzistormi v jednom puzdre vykazuje priaznivejšie spínacie vlastnosti ako diskrétné riešenie s dvoma samostatnými puzdrami. Rozdiel sa prejavil najmä v menších osciláciách, kratšom čase ustálenia a priaznivejšom priebehu napätia a prúdu počas prepínania. Výsledky preto naznačujú, že multichipové riešenie môže byť z hľadiska návrhu výkonových meničov vhodnejšie, najmä pri aplikáciách, kde sú dôležité malé parazitné parametre a dobré dynamické vlastnosti.

3 Záver

Práca sa zaoberala porovnaním dvoch konštrukčných riešení meniča v zapojení polovičného mostíka s MOSFET tranzistormi pomocou simulácie a modelovania. Porovnávané bolo diskrétné riešenie tvorené dvoma samostatnými tranzistormi v dvoch samostatných puzdách a multichipové riešenie, v ktorom boli dva tranzistory umiestnené v jednom puzdre. V simuláciách sme sa zamerali na analýzu parazitných parametrov, predovšetkým parazitnej indukčnosti jednotlivých elektród a vodivých ciest. Získané parametre boli následne použité pri časových simuláciách, v ktorých sa sledoval rozdiel v oneskorení zopnutia a vypnutia, ako aj rozdiel v osciláciách napätia a prúdu oboch riešení. Výsledky práce ukázali rozdiely medzi diskrétnym a multichipovým riešením z hľadiska parazitných parametrov a dynamiky spínania.

Podakovanie

Táto práca bola podporená projektom E2PACKMAN. Projekt E2PACKMAN je podporovaný spoločným podnikom Chips (JU) na základe grantovej dohody č. 101194187. Spoločný podnik dostáva podporu z výskumného a inovačného programu Európskej únie Horizont Európa a z Nemecka, Rakúska, Belgicka, Fínska, Francúzska, Talianska, Holandska, Portugalska, Rumunska, Slovenska, Švédska, Turecka a Izraela. Okrem toho konzorcium dostáva národné financovanie z Nemecka, Rakúska, Belgicka, Fínska, Talianska, Holandska, Portugalska, Rumunska, Slovenska, Švédska, Turecka a Izraela. Túto prácu podporila aj Agentúra na podporu výskumu a vývoja na základe zmluvy č. APVV-24-0325 a grantom VEGA 1/0543/23 s podporou Ministerstva školstva, výskumu, vývoja a mládeže Slovenskej republiky.

This work was supported by the project E2PACKMAN. E2PACKMAN has received funding from the Chips Joint Undertaking (JU) under grant agreement No 101194187. The JU receives support from the European Union's Horizon Europe research and innovation program and Germany, Austria, Belgium, Finland, France, Italy, Netherlands, Portugal, Romania, Slovakia, Sweden, Türkiye, and Israel. In addition, the consortium receives national funding from Germany, Austria, Belgium, Finland, Italy, Netherlands, Portugal, Romania, Slovakia, Sweden, Türkiye, and Israel.



Literatúra

- [1] BARKHORDARIAN, Vrej. Power MOSFET Basics [online]. [cit. 2023-03-26]. Dostupné z: <https://www.infineon.com/dgdl/mosfet.pdf?fileId=5546d462533600a4015357444e913f4f>
- [2] HOLLANDER, Dave. PACKAGING TRENDS AND MOUNTING TECHNIQUES FOR POWER SURFACE MOUNT COMPONENTS [online]. [cit. 2023-03-26]. Dostupné z: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=404911>
- [3] Theory for the Magnetic Fields, Currents Only Interface [online]. [cit. 2023-03-26]. Dostupné z: <https://doc.comsol.com/6.0/doc/com.comsol.help.acdc/acdc Ug theory.05.64.html#736297>
- [4] The Magnetic Fields, Currents Only Interface [online]. [cit. 2023-03-26]. Dostupné z: <https://doc.comsol.com/6.0/doc/com.comsol.help.acdc/acdc Ug magnetic fields.08.095.html>
- [5] NEXPERIA. BUK7Y7R6-40E [online]. [cit. 2026-04-01]. Dostupné z: <https://assets.nexperia.com/documents/data-sheet/BUK7Y7R6-40E.pdf>

Implementácia meracieho systému pre testovanie spoľahlivosti výkonových prvkov

Martin Hraňo, Aleš Chvála

Ústav elektroniky a fotoniky, FEI STU v Bratislave

xhrano@stuba.sk

Abstrakt – Tento príspevok je zameraný na implementáciu a optimalizáciu meracieho systému určeného pre testovanie spoľahlivosti výkonových polovodičových prvkov. Merací systém je predovšetkým navrhnutý pre testovací proces cyklickým výkonovým zaťažením. Ďalej je obsahom tohto príspevku základný prehľad mechanizmov poškodenia ovplyvňujúcich výkonové polovodičové prvky, experimentálne testovanie a taktiež vizualizácia poškodení testovaných prvkov.

1 Úvod

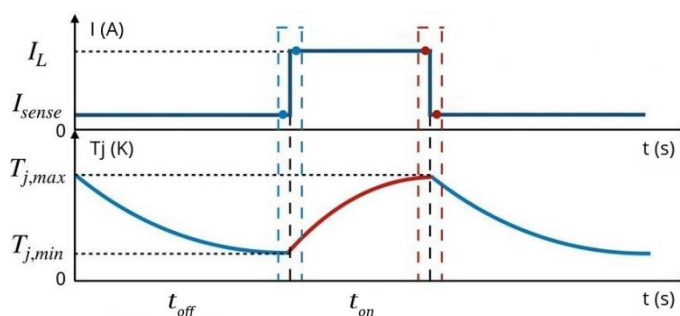
Výkonové polovodičové prvky predstavujú neoddeliteľnú súčasť moderných elektronických systémov, najmä v oblastiach ako sú energetika, automobilový priemysel či priemyselná automatizácia. Využitie nachádzajú v širokom spektre aplikácií, či už ako trakčné pohony, meniče v obnoviteľných zdrojoch energie alebo výkonové moduly v elektromobiloch. Všetky tieto aplikácie si vyžadujú vysokú prevádzkovú spoľahlivosť a odolnosť pri náročných podmienkach. Spoľahlivosť výkonových polovodičových prvkov je nevyhnutnou vlastnosťou, ktorá ovplyvňuje nielen životnosť celého zariadenia ale aj jeho bezpečnosť a ekonomickú návratnosť. Komponenty sú pravidelne vystavené extrémnym prevádzkovým podmienkam, ako sú prudké zmeny výkonu, vysoké teploty či opakované tepelné cykly. V dôsledku toho môžu v priebehu času degradovať alebo úplne zlyhať. Testovanie je čo raz častejšie kombinované s pokročilými analytickými metódami, ktoré poskytujú presnú predikciu životnosti daných komponentov.

Tento príspevok sa zameriava na implementáciu meracieho systému určeného na testovanie spoľahlivosti výkonových prvkov v laboratórnych podmienkach. Na testovanie spoľahlivosti výkonových polovodičových prvkov používame testovací proces cyklickým výkonovým zaťažením (angl. *Power Cycling Test*) (PCT). Merací systém disponuje výberom viacerých napäťových rozsahov, čo nám umožňuje väčšiu variabilitu pri výbere testovaných komponentov.

2 Metodický opis testovania

Testovací proces cyklickým výkonovým zaťažením je jedným z najpoužívanejších testovacích procesov na overenie spoľahlivosti výkonových polovodičových prvkov. Hlavným cieľom testovania spoľahlivosti je identifikovať potenciálne slabé miesta a zabezpečiť, že prvky budú spĺňať požadované

normy a špecifikácie. Princípom testu je opakované spínanie výkonového prvku, pri ktorom dochádza k náhlím zmenám výkonu, elektrických parametrov a v neposlednom rade teploty. Často sa jedná o zmeny, ktoré sú oveľa väčšie ako môžu nastať pri bežnej prevádzke. Tieto zmeny sú spôsobené funkciou samotného prvku na rozdiel od environmentálnych testov, kde sa zmeny teploty realizujú najmä pomocou klimatických komôr. PCT rovnako ako aj iné testovacie procesy sú veľmi dôležité pre zabezpečenie správnej funkcie a spoľahlivosti výkonových prvkov pri opakovaných zmenách teploty a zaťaženia. Takéto zmeny sa v praxi vyskytujú veľmi často, napríklad pri frekvenčných meničoch, regulácii výkonu trakčných motorov, telekomunikačných zariadeniach a podobne. Dĺžka testovania závisí od konkrétneho testovacieho procesu a je udávaná v cykloch (napr. 70 000) alebo v hodinách (napr. 1 000 h). Počas trvania testu sa monitorujú rôzne parametre ako teplota, napätie, prúd, odpor a stratový výkon. Grafický priebeh testu cyklickým výkonovým zaťažením je znázornený na obr. 1. [1, 2]



Obr. 1. Test cyklickým výkonovým zaťažením

Výkonovými prvkami je vedený záťažový prúd (I_L), ktoré sa v dôsledku stratového výkonu zahrievajú. Keď čip dosiahne maximálnu cieľovú teplotu ($T_{j,max}$), záťažový prúd sa vypne a systém sa ochladí na minimálnu teplotu ($T_{j,min}$). Dosiahnutím minimálnej teploty cyklus končí a opätovným spustením záťažového prúdu začína ďalší. Rozsah testu je zvyčajne 10 000 až 250 000 cyklov.

Výstupom testu je najmä dĺžka životnosti, teda informácia o tom, koľko cyklov daný výkonový prvok vydrží pred zlyhaním ale taktiež aj jeho tepelná stabilita, zmeny v elektrických vlastnostiach či mechanické poškodenia. Mechanické poškodenia sú najčastejšie mikroskopické praskliny vnútri zapuzdreného čipu, delaminácia vrstvy polovodičového materiálu alebo poškodenia na spojovacích vodičoch. [1, 2]

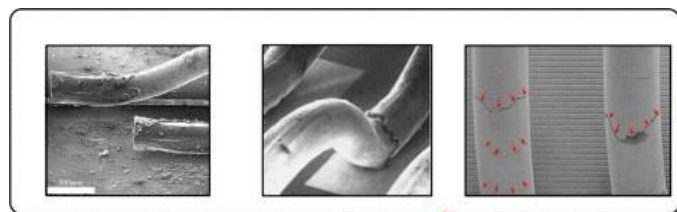
2.1 Mechanizmy zlyhania a indikátory poškodenia

V oblasti spoľahlivosti výkonových polovodičových prvkov existuje niekoľko mechanizmov zlyhania a indikátorov poškodenia. Mechanizmy zlyhania sa všeobecne delia do dvoch kategórií, mechanizmus zlyhania prvku a mechanizmus zlyhania puzdra. Veľká časť zlyhaní samotného prvku je spôsobená nadmerným zaťažením a preto je mimo rozsahu PCT. Mechanizmy zlyhania súvisiace s puzdrom sa vyskytujú hlavne v dôsledku termomechanického namáhania, ktorému sú vystavené rôzne materiály v testovanom prvku. Najčastejšie sa jedná o mechanizmus fyzikálnej degradácie súvisiaci s termomechanickým napätím vznikajúcim na rozhraní dvoch materiálov s rôznymi koeficientmi tepelnej rozťažnosti (CTE).

Tab. 1. Koeficienty tepelnej rozťažnosti rôznych materiálov

Materiál	Druh	CTE (10^{-6} K^{-1})
Al_2O_3	keramika	6,8
AlN	keramika	4,7
Al	kov	23,5
Cu	kov	17,5
Si	polovodič	2,6
Spájka (Sn Ag)	zliatina	28

Koeficienty tepelnej rozťažnosti materiálov bežne využívaných vo výkonových prvkoch sú spísané v tabuľke 1. Modul výkonového prvku pozostáva z viacerých materiálov s rôznym koeficientom tepelnej rozťažnosti. Nesúlad CTE pri zmenách teploty spôsobuje termomechanické namáhanie materiálov a nakoniec vedie k poruchám spôsobeným opotrebovaním. Odolnosť prvku vieme zvýšiť použitím materiálov, ktorých rozdiel CTE je čo najmenší. Jeden z najväčších nesúladov CTE je na rozhraní medzi čipom výkonového prvku (Si), spojovacími vodičmi (Al) a povrchovou metalizáciou čipu (Al). Na obr. 2 sú uvedené príklady poškodení na spojovacích vodičoch. [2, 3]



Obr. 2. Príklady poškodenia spojovacích vodičov [3]

Na tomto rozhraní často dochádza k degradácii spojovacích vodičov, pri ktorom sa termomechanické napätie ďalej šíri v hliníkovom vodiči kde vytvára trhliny. Opakované zmeny teploty vo výkonovom prvku v dôsledku periodického spínania či zaťaženia vedú k poškodeniam hliníkovej metalizácie čipu, prasklinám na spojovacích vodičoch alebo aj k ich úplnému odhrnutiu. Tieto poškodenia zvyšujú elektrický odpor a prejavujú sa zvýšením napätia drain-source v zopnutom stave ($U_{\text{DS_ON}}$) pri MOS tranzistoroch alebo priepustného napätia (U_F) pri diódach. Pri prudkom náraste $U_{\text{DS_ON}}$ typicky dochádza

k únave materiálu na spojovacích vodičoch, naopak pri stabilnom náraste ide o poškodenie povrchovej metalizácie hliníka. Všeobecne platí že nárast tejto hodnoty o 5 – 20 % je kritériom konca životnosti prvku. [3-6]

Ďalším dominantným mechanizmom zlyhania je únava spájkovaného spoja. V dôsledku nesúladu CTE s teplotnými zmenami pôsobia termomechanické napätia na spájkované spoje a spôsobujú degradáciu spájkovaného rozhrania. Únava spájkovaného spoja zvyšuje tepelnú impedanciu výkonového prvku, v dôsledku čoho sa zvyšuje aj teplota prvku ako takeého, čo vedie k urýchleniu iných poškodení. Ako indikátor zlyhania spájkovaného spoja sa zvyčajne používa tepelná impedancia R_{th} . Túto impedanciu je možné získať z teploty priechodu a teploty puzdra (prípadne chladiča) nasledovne

$$R_{\text{th}} = \frac{T_j - T_c}{P_l} \quad (1)$$

kde R_{th} je tepelná impedancia medzi priechodom a puzdrom, T_j je teplota priechodu, T_c je teplota puzdra a P_l je stratový výkon. Nárast tepelnej impedancie o 20 % je zvyčajne kritériom konca životnosti prvku. [2-4]

2.2 Teplota priechodu

Metódy merania teploty čipu založené na jeho elektrických parametroch citlivých na teplotu patria medzi štandardné prístupy v oblasti výkonovej elektroniky, pričom najčastejšie skúmanou metódou je teplotne závislý pokles napätia na PN priechode. Táto metóda je využívaná najmä pre testovanie IGBT. Pre kremíkové PN priechody je zmena napätia v závislosti od teploty typicky okolo -2 mV/K. Teplotne závislý pokles napätia na PN priechode možno odhadnúť a odvodiť pomocou Shockleyho rovnice, pričom je potrebné zvážiť všetky parametre závislé od teploty.

$$U_{\text{pn}}(T) = \frac{kT}{q} \ln\left(\frac{J}{J_s} + 1\right) \quad (2)$$

Kde k je Boltzmannova konštanta, q elementárny náboj, T absolútna teplota PN priechodu, J prúdová hustota a J_s hustota saturačného prúdu. Merací systém musí byť tepelne izolovaný od okolia s obmedzeným tepelným tokom, aby sa umožnilo pomalé chladenie a rovnomerné rozloženie teploty vo vnútri prvku. V našej práci využívame metódu druhej odmocniny času t , ide o bežne používanú metódu, ktorá je podrobne opísaná v norme JESD51-14. [2]

2.3 Metóda druhej odmocniny času

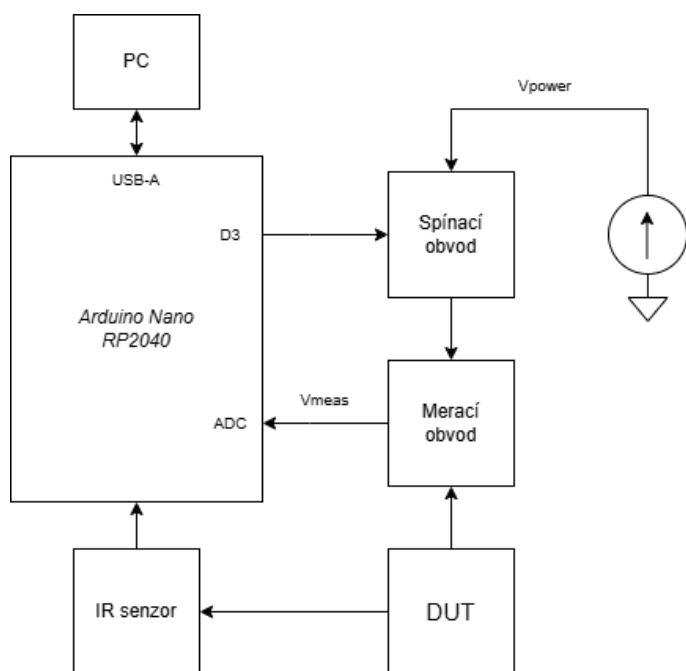
Metóda druhej odmocniny času predpokladá, že povrchová teplota lineárne klesá s druhou odmocninou z času chladenia t po vypnutí výkonového zaťaženia. Predpokladom správnosti metódy je polo-nekonečná platňa z homogénneho materiálu, s generovaním tepla na povrchu s konštantnou hustotou výkonu. Matematicky vieme túto metódu zapísať nasledovne

$$\Delta T(t) = \frac{P}{A} \cdot \frac{2}{\sqrt{\pi c \rho \lambda}} \cdot \sqrt{t} \quad (3)$$

kde P je stratový výkon, A plocha čipu, c merná tepelná kapacita, ρ hustota materiálu a λ tepelná vodivosť. [2, 7]

3 Návrh meracieho systému

Merací systém pre testovanie spoľahlivosti výkonových polovodičových prvkov je navrhnutý na základe blokovej schémy uvedenej na obr. 3. Systém sa skladá z troch základných častí, testovacieho zariadenia, laboratórneho prúdového zdroja a testovaného výkonového prvku (DUT). Testovacie zariadenie je ďalej rozdelené na dva samostatné bloky, a to spínací obvod a merací obvod. Obe časti sú prepojené s mikrokontrolérom Arduino Nano RP2040, ktorý zabezpečuje riadenie a získanie nameraných údajov. K dispozícii má 8 analógových vstupov a 22 digitálnych vstupno-výstupných kontaktov. Výstupom meracieho obvodu je úroveň napätia označená ako V_{meas} , ktorá je privádzaná na analógovo-digitálny prevodník (ADC) mikrokontrolera. Ide o 12-bitový AD prevodník s maximálnou vzorkovacou frekvenciou 500 kS/s.



Obr. 3. Bloková schéma meracieho systému

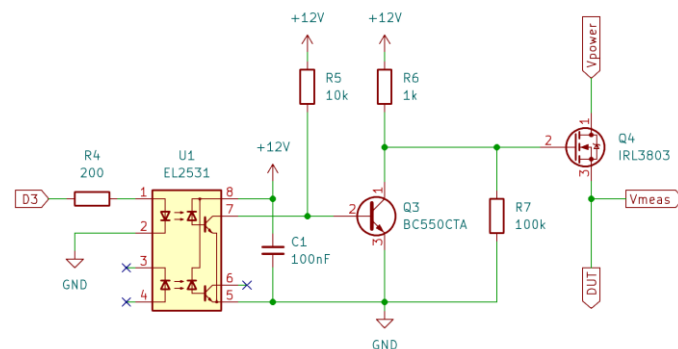
Priame merania teploty priechodu testovaného prvku je doplnené externým infračerveným (IR) senzorom, ktorý poskytuje doplnkové údaje o ambientnej teplote a teplote puzdra. Tieto informácie sú dôležité pri dlhodobých testoch, počas ktorých dochádza k miernym teplotným fluktuáciám. Použitý je IR senzorický modul MLX90614, ktorý disponuje teplotným rozsahom od -70°C do 380°C s presnosťou $\pm 0,5^{\circ}\text{C}$. Pripojený je prostredníctvom sériovej zbernice I2C. Namerané údaje z meracieho obvodu a IR senzora sú následne spracované v programovom prostredí MATLAB.

Nevyhnutnou súčasťou meracieho systému pre PCT je prúdový zdroj, ktorý zabezpečuje stabilnú reguláciu elektrického prúdu počas opakovaných cyklov. Využíva sa na generovanie konštantného alebo pulzného prúdu a presné riadenie záťaže počas testovania. Konštantným prúdom môžeme simulovať reálne prevádzkové podmienky testovaných výkonových prvkov. Navrhnutý merací systém využíva laboratórny prúdový zdroj QPX750SP s maximálnym výkonom 750 W. Rozsah výstupného napätia je 0 V – 80 V a rozsah výstupného prúdu 0 A – 50 A. Vysoké rozlíšenie (1 mV do

50 V) zabezpečuje presné nastavenie a stabilitu na výstupe. Testovacie zariadenie využíva 3,3 V napájanie priamo z mikroprocesora a vlastné 12 V a 5 V napájanie z izolovaných DC/DC meničov. Keďže dĺžka trvania PCT často presahuje niekoľko týždňov, je nevyhnutné zabezpečiť chladenie testovaného prvku. Spôsob chladenia DUT závisí od konkrétneho typu zapuzdrenia, pričom je realizované buď pasívne alebo pomocou aktívneho kvapalinového chladiaceho systému.

3.1 Spínací obvod

Základným prvkom testovacieho zariadenia je spínací obvod, ktorý je nevyhnutný pre funkciu meracej časti. Obvod pozostáva z jednoduchého tranzistorového spínača, riadiaceho výkonový MOSFET na spínanie testovaného prvku. Súčasťou obvodu je taktiež optočlen, ktorý zabezpečuje úplnú elektrickú izoláciu medzi spínacím obvodom a mikrokontrolérom. Vstupom spínacieho obvodu je digitálny signál z portu D3. Na obr. 4 je uvedená schéma zapojenia spínacieho obvodu.



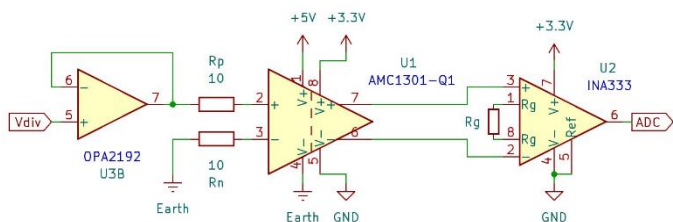
Obr. 4. Schéma spínacieho obvodu

3.2 Merací obvod

Druhou časťou testovacieho zariadenia je merací obvod. Nosným prvkom obvodu je AD prevodník, ktorý je integrovaný v mikrokontroléri. Princípom je meranie napätia (označené ako V_{meas} v blokovej schéme) medzi spínacím obvodom a DUT. Toto napätie je privádzané na port A0 mikrokontrolera, kde je spracované na digitálny signál z ktorého následne dostávame hodnotu teploty. Pôvodné zapojenie meracieho obvodu, ktoré obsahovalo len minimálne množstvo súčiastok, prevažne ochranné prvky, bolo funkčné, no nedisponovalo dostatočným napäťovým rozsahom. Merací obvod bol následne optimalizovaný a disponoval výberom až šiestich napäťových rozsahov. Rozsahy je možné vybrať priamo viacpólovým spínačom, ktorý reprezentuje šesť rôznych deliacich pomerov. S použitím tohto obvodu sme otestovali viacero výkonových prvkov. Na základe experimentálneho testovania zariadenia sme identifikovali nedostatky druhej verzie zapojenia. Hlavným nedostatkom boli prechodové javy prúdového zdroja, ktoré sa superponovali na výsledné namerané charakteristiky. Tento nežiadúci jav bolo možné softvérovým kompenzovať, avšak vyžadovalo si to manuálnu korekciu jednotlivých nameraných charakteristík.

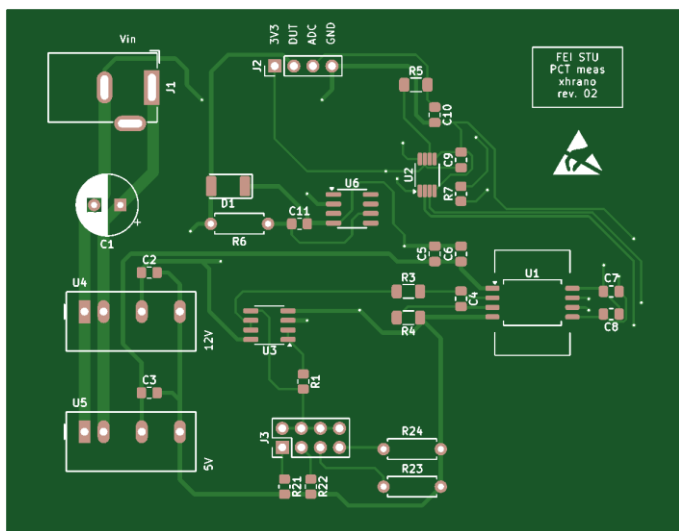
Aktuálna verzia meracieho obvodu bola doplnená o viacero aktívnych prvkov s cieľom zvýšiť presnosť merania a eliminovať prechodové javy. Zároveň bol počet napäťových

rozsahov zredukovaný na polovicu z dôvodu redundancie. Hlavným prínosom bolo doplnenie prispôbovacieho obvodu. Do pôvodného zapojenia bol pridaný precízny izolovaný zosilňovač, ktorý zabezpečuje zosilnenú kapacitnú izoláciu do úrovne až 7 kV. Ďalej bol doplnený prístrojový zosilňovač, ktorý výrazne zvyšuje činiteľ potlačenia spoločného signálu (CMRR). Na obr. 5 je uvedená zjednodušená schéma prispôbovacieho obvodu a na obr. 6 návrh prototypu aktuálnej verzie meracieho obvodu.



Obr. 5. Zjednodušená schéma prispôbovacieho obvodu

Tieto úpravy výrazne prispeli k zvýšeniu stability merania a k potlačeniu rušivých vplyvov, ktoré sa prejavovali pri pôvodnom riešení. Súčasná verzia umožňuje výber troch napäťových úrovní pre DUT a to 3,3 V / 6,6 V / 9,9 V. Tieto tri úrovne sa ukázali ako dostatočné pre danú aplikáciu. Finálna verzia testovacieho zariadenia počíta okrem iného s rozšírením až na štyri meracie kanály, čo umožní paralelne testovať viac prvkov naraz.



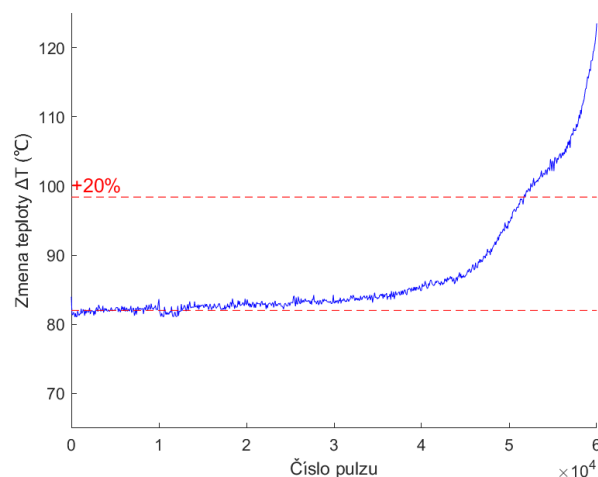
Obr. 6. Aktuálna verzia meracieho obvodu

4 Testovanie spoľahlivosti

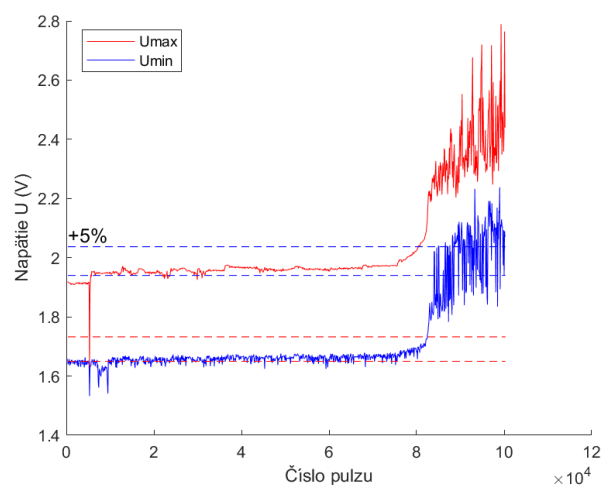
Na základe návrhu meracieho systému sme overili funkčnosť hlavných parametrov a následne pristúpili k experimentálnemu testovaniu spoľahlivosti vybraných výkonových prvkov. Medzi testovanými prvkami bola napríklad SiC schottkyho dióda a viaceré vzorky Si MOSFETov. Každý z testovaných prvkov si vyžadoval odlišný napäťový rozsah a špecifické nastavenie testovacích podmienok. Na určenie maximálnej teploty DUT využívame metódu druhej odmocniny t , ktorá je popísaná

v kapitole 2.3. Presnosť merania sa overuje kalibračnými krivkami jednotlivých testovaných prvkov. Nevyhnutným parametrom pri vyhodnocovaní výsledných charakteristík je priebeh napätia v čase zopnutia (On) a vypnutia (Off). Tieto parametre umožňujú ďalšiu analýzu vývoja hraničných hodnôt napätia a teploty. Na základe priebehu napätia v čase zopnutia následne dostávame vývoj maximálneho napätia ($U_{\max}$) a minimálneho napätia ($U_{\min}$). Naopak na základe priebehu napätia v čase vypnutia, vývoj maximálnej teploty ($T_{\max}$) a minimálnej teploty ($T_{\min}$).

Medzi najdôležitejšie výsledné charakteristiky pri PCT patrí vývoj zmeny teploty (ΔT). Primárnym kritériom poškodenia výkonového prvku je nárast zmeny teploty o 20 %. Ako príklad je uvedený vývoj ΔT pre testovaný Si MOSFET v zapojení S-D, kde na obr. 7 vidíme, že poškodenie nastalo približne po 50 000 cykloch. Zapojenie S-D využíva vnútornú parazitnú diódu ($U_{GS} = 0$ V). Pri vývoji napätia je kritériom poškodenia zmena o ± 5 %. Hranicu poškodenia na vývoji napätia daný testovaný prvok nedosiahol. Ako vyplýva z údajov na obr. 8, k tejto zmene dochádzalo približne po 75 000 cykloch. V tomto prípade išlo o SiC schottkyho diódu.



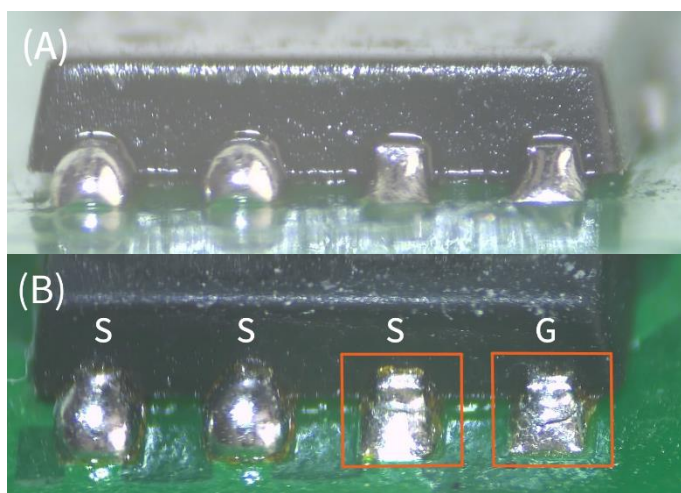
Obr. 7. Vývoj zmeny teploty



Obr. 8. Vývoj maximálneho a minimálneho napätia

4.1 Výsledky testovania

Výsledky experimentálneho testovania preukázali určité rozdiely medzi testovanými prvkami. Spomedzi štyroch testovaných prvkov mala najdlhšiu životnosť SiC schottkyho dióda (85 000 cyklov) a naopak najkratšiu MOSFET v zapojení D-S (14 000 cyklov). Výsledky testovania naznačujú, že rozdiel s najväčšou pravdepodobnosťou súvisí s odlišným zapuzdrením prvkov, materiálovým zložením, použitou spájkou a taktiež jej hrúbkou. Na mikroskopických snímkach po skončení testu boli viditeľné kritické poškodenia najmä na spájke, vrátane prasklín a delaminácie. Poškodenia sa prejavujú na pripojovacích kontaktoch prvku, pričom nemožno vylúčiť ani ďalšie štrukturálne poškodenia vnútri puzdra. Vo všetkých prípadoch bol hraničný počet cyklov menší ako 100 000. Pri väčších výkonových moduloch sa bežne dosahuje dvojnásobná životnosť. Mikroskopické snímky Si MOSFETu pred (A) a po teste (B) z laterálneho pohľadu sú uvedené na obr. 9.



Obr. 9. Mikroskopická snímka DUT pred a po teste

Na snímke po teste je viditeľné poškodenie a praskliny na spájke, čo je zvýraznené v oranžovo-označenej oblasti.

5 Záver

Cieľom tejto práce bola implementácia a optimalizácia meracieho systému pre testovanie spoľahlivosti výkonových prvkov. Merací systém využíva metódu cyklickým výkonovým zaťažením, ktorá je definovaná medzinárodnou normou IEC 60749-34. Norma opisuje testovaciu metódu požívanú na určenie odolnosti polovodičového prvku voči tepelnému a mechanickému namáhaniu vznikajúcemu pri opakovanom výkonovom zaťažení vnútorného polovodičového čipu. Testovací proces je deštruktívny a je určený na simuláciu reálnych podmienok vo výkonovej elektronike. Navrhnutý merací systém bol optimalizovaný s cieľom zvýšenia presnosti merania a potlačenia prechodových javov vznikajúcich pri spínaní výkonovej časti. V poslednej kapitole sú uvedené a zhodnotené výsledky experimentálneho testovania na navrhnutom meracom systéme. Súbor testovaných prvkov zahŕňal rôzne konfigurácie zapojenia, materiálové zloženia a taktiež parametre. Na záver sú uvedené príklady a ukážky typických poškodení pozorovaných na testovaných prvkoch.

Pod'akovanie

Na tomto mieste by som sa rád poďakoval svojmu vedúcemu práce, doc. Ing. Alešovi Chválovi, PhD. za cenné rady a ochotu pri vypracovávaní.

Táto práca bola podporená projektom FastLane. Projekt FastLane je podporovaný členmi Chips JU, vrátane dodatočného financovania zo strany Rakúska, Francúzska, Nemecka, Rumunska a Slovenska v rámci grantovej zmluvy č. 101139788. Túto prácu podporila aj Agentúra na podporu výskumu a vývoja na základe zmluvy č. APVV-24-0325 a grantom VEGA 1/0543/23 s podporou Ministerstva školstva, výskumu, vývoja a mládeže Slovenskej republiky.

This work was supported by the project FastLane. The project is supported by the Chips Joint Undertaking (JU) and its members, including top-up funding by Austria, France, Germany, Romania, and Slovakia, under grant agreement No. 101139788. This work was also supported by the Slovak Research and Development Agency under contract No. APVV-24-0325 and by grant VEGA 1/0543/23 supported by the Ministry of Education, Research, Development and Youth of the Slovak Republic.



Literatúra

- [1] H. Wang and F. Blaabjerg, "Power Electronics Reliability: State of the Art and Outlook," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 9, no. 6, pp. 6476-6493, Dec. 2021, doi: 10.1109/JESTPE.2020.3037161.
- [2] LUTZ, J. - SCHLANGENOTTO, H. - SCHEUERMANN, U. - DE DONCKER, R. *Semiconductor Power Devices: Physics, characteristics, reliability*. New York: Springer, 2011. ISBN 978-3-642-11124-2.
- [3] U. -M. Choi, F. Blaabjerg and S. Jørgensen, "Power Cycling Test Methods for Reliability Assessment of Power Device Modules in Respect to Temperature Stress," in *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2531-2551, March 2018, doi: 10.1109/TPEL.2017.2690500.
- [4] A. Vaccaro and P. Magnone, "Influence of Power Cycling Test Methodology on the Applicability of the Linear Damage Accumulation Rule for the Lifetime Estimation in Power Devices," in *IEEE Transactions on Power Electronics*, vol. 38, no. 5, pp. 6545-6554, May 2023, doi: 10.1109/TPEL.2023.3242314.
- [5] WINTRICH, A. - NICOLAI, U. - TURSKY, W. - REIMANN, T. *Application Manual Power Semiconductors*. Ilmenau, Germany: SEMIKRON International GmbH, 2015. ISBN 978-3-938843-83-3.
- [6] DI NUZZO, G. - TUELLMANN, M. - METHFESSEL, T. - RZEPKA, S. Condition monitoring indicators for Si and SiC Power Modules. In *Microelectronics Reliability*. 2022. Vol. 138, s. 114614.
- [7] E. Deng and J. Lutz, "Measurement Error Caused by the Square Root t Method Applied to IGBT Devices during Power Cycling Test," *2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Vienna, Austria, 2020, pp. 545-548.

Prevodník odporu na prúd pre senzorické aplikácie na čipe

Tomáš Gergely, Daniel Arbet

UEF, FEI STU v Bratislave
Oddelenie návrhu a testovania IO

xgergelyt@stuba.sk

Abstrakt – Tento článok predstavuje nízkopríkonový prevodník odporu na prúd (RI) implementovaný v 65-nm CMOS technológii. Napájacie napätie obvodu je 1,2 V a prúdová spotreba 1,5 μA . Operačný zosilňovač (OZ) použitý v navrhnutom prevodníku využíva chopper techniku na redukciu jeho vstupného napät'ového offsetu. Vylepšená topológia umožňuje vysoko presné snímanie aj pri ultra nízkych úrovniach prúdu, čím výrazne znižuje spotrebu energie aj plochu čipu. Vďaka efektívnemu potlačeniu jednosmerného vstupného offsetu, navrhovaná architektúra umožňuje použitie referenčných napätí V_{REF} v rozsahu jednotiek mV, čím zabezpečuje presný prevod signálu aj v podmienkach, kde sú bežné riešenia limitované dominanciou vstupného offsetu OZ. V článku je zároveň predstavené všeobecné porovnanie kľúčových návrhových kompromisov.

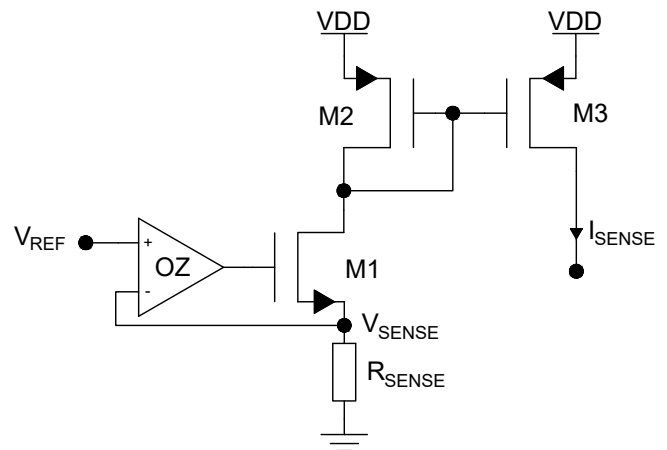
1 Úvod

Moderné analógové prevodníky čelia čoraz vyšším nárokom na dosiahnutie ultra nízkej spotreby energie a minimálnej plochy na kremíku. Aby dizajnéri splnili tieto požiadavky, prechádzajú často na submikrónové CMOS procesy, ako je napríklad 65-nm technológia. Vysoko presné aplikácie snímania však vyžadujú operačné zosilňovače s vysokým ziskom, čo je často v rozpore s cieľmi v oblasti plošnej efektivity [1], [2]. V konvenčných návrhoch je pre presné RI prevody nevyhnutné dosiahnuť nízky vstupný offset, čo si vyžaduje rozmerné vstupné a kaskádové tranzistory na zmiernenie nesymetrie (mismatch), čím sa efektívne zväčšuje plocha čipu. Situácia sa ďalej komplikuje pri prevádzke v oblasti slabej inverzie (weak inversion) za účelom úspory energie [3]. Na rozdiel od referenčnej hodnoty 1 V v [4], rozsahu od 0,2 V do 1 V v [5] a nezverejnených limitov v [6], [7], moderné návrhy vyžadujú prevádzku s V_{REF} pod úrovňou 10 mV. Navyše, keďže sa napájacie napätia v moderných CMOS technológiách znižujú na 1,2 V a menej, kaskádovanie tranzistorov sa stáva čoraz náročnejším kvôli obmedzenému napät'ovému rozsahu a relatívne vysokým prahovým napätiam V_{TH} tranzistorov. V dôsledku toho je nevyhnutná výrazná zmena v topológii obvodu. Na riešenie týchto kompromisov, tento článok navrhuje operačný zosilňovač s chopper stabilizáciou. Využitím techník na elimináciu offsetu sa zachováva vysoká presnosť v širokom teplotnom rozsahu od -40 °C do 125 °C, pričom sa výrazne znižuje potrebná aktívna plocha v porovnaní s tradičnými technikami auto-zeroingu alebo zväčšovania vstupných tranzistorov na dosiahnutie nízkeho vstupného

offsetu OZ. Tento článok po úvode pokračuje Sekciou 2, ktorá popisuje základné princípy a zvolenú topológiu RI prevodníka so zameraním na činiteľ potlačenia rušenia z napájacieho napätia (PSRR), minimalizáciu prúdových zmien a integráciu zosilňovača s chopper technikou. Sekcia 3 uvádza detaily implementácie v 65-nm CMOS technológii spolu s výsledkami simulácií v stanovenom teplotnom rozsahu. Napokon Sekcia 4 prináša komparatívnu analýzu dosiahnutých parametrov a zhodnotie dosiahnutých výsledkov.

2 Návrh R-I prevodníka

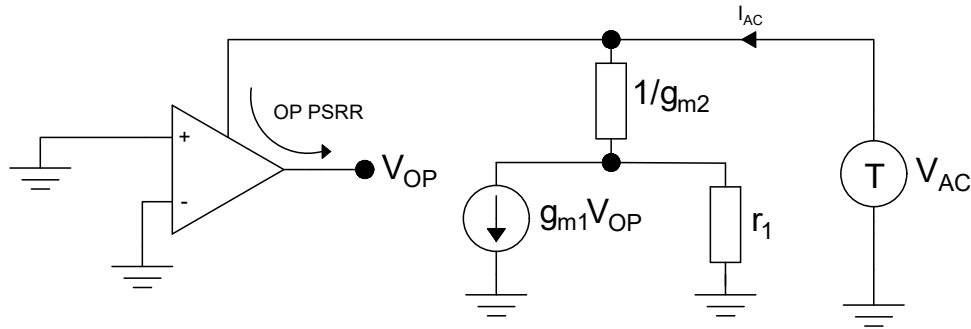
Zapojenie prevodníka odporu na prúd na Obr. 1 pozostáva primárne z precízne navrhnutého OZ zapojeného v spätnoväzbovej slučke, čím vytvára napät'ový sledovač. Budiaci NMOS tranzistor je pripojený priamo na výstup OZ, zatiaľ čo snímací odpor R_{SENSE} generuje prúd v danej vetve. Rovnica 1 poskytuje rozšírený vzťah medzi najdôležitejšími parametrami návrhu. Inými slovami, aby sa dosiahla čo najvyššia presnosť snímacieho prúdu I_{SENSE} pri zachovaní V_{REF} pod 10 mV, je nevyhnutné úplne minimalizovať vstupný offset V_{OS} a tepelný šum i_{TMP} .



Obr. 1: Navrhovaná schéma RI konvertora

$$I_{SENSE} = \frac{V_{REF} - V_{OS}}{R_{SENS}} + i_{TMP} \quad (1)$$

Tepelný šumový prúd i_{TMP} rastie nepriamo úmerne s hodnotou R_{SENSE} . V dôsledku toho použitie menších snímacích odporov



Obr. 2: Ekvivalentná malosignálová schéma RI konvertora

má za následok výrazný nárast tepelného šumu, čo zužuje dynamický rozsah a vytvára náročný návrhový kompromis. Celková odozva senzora navyše závisí od rýchlosti zmeny odporu $\Delta(1/T)$. Stredná kvadratická hodnota prúdového šumu [8] môže byť vyjadrená ako:

$$\overline{i_{TMP}^2} = \frac{\overline{v_{TMP}^2}}{R_{SENSE}^2} = \frac{4kT\Delta f}{R_{SENSE}} \quad (2)$$

Okrem týchto parametrov je nevyhnutný robustný činiteľ PSRR, pretože priamo ovplyvňuje presnosť prúdu I_{SENSE} . Analýzou ekvivalentného malosignálového modelu (Obr. 2) možno vyvodit', že OZ udržiava konštantné napätie v snímacom uzle, čím sa hodnota R_{SENSE} stáva pre rovnicu PSRR do značnej miery irelevantnou. Výstup operačného zosilňovača je však prirodzene citlivý na fluktuácie V_{DD} . Tieto malosignálové zmeny posúvajú pracovný bod V_{GS} budiaceho NMOS tranzistora, čo priamo ovplyvňuje snímací prúd I_{SENSE} . Na potlačenie tohto javu slúžia transkonduktancie g_{m1} (M1), g_{m2} (M2) a výstupný odpor r_1 (M1) (Obr. 1). Zmena týchto parametrov priamo zlepšuje PSRR. Rovnica 3 ukazuje vzťah medzi týmito malosignálovými parametrami bez uvažovania parazitných kapacít.

$$\begin{aligned} PSRR = 20 \log_{10} \left(\frac{g_{m1}g_{m2}r_1}{g_{m2}r_1 + 1} \right) \\ + 20 \log_{10}(PSRR_{OP}) \\ + 20 \log_{10} \left(1 + \frac{1}{g_{m1}r_1 PSRR_{OP}} \right) \end{aligned} \quad (3)$$

Navrhovaná chopper technika pre potlačenie blikavého ($1/f$) šumu a vstupného napät'ového offsetu funguje na princípe modulátora a demodulátora signálu. Jeho úlohou je posunúť vstupný offset a $1/f$ šum do oblasti vyšších frekvencií, pričom užitočný signál ponecháva v základnom pásme nezmenený. Toto je kritické, pretože väčšina neideálností vzniká priamo vo vstupnom diferenčnom páre a v zloženej kaskóde operačného zosilňovača. V dôsledku toho proces modulácie a demodulácie rozdeľuje výstupné napätie na dve polarities, čím núti signál ustáliť sa v každej fáze v rámci jej príslušnej polperiódy. Na sledovanie zmien polarities je zavedený parameter $m(t)$, ktorý nadobúda hodnoty $+1$ a -1 . Celková časová prenosová funkcia chopperingu je teda nasledovná (Rov. 4):

$$v_{OUT}(t) = h_{CL}(t) \cdot m(t) [m(t)V_{IN} + V_{OS}] \quad (4)$$

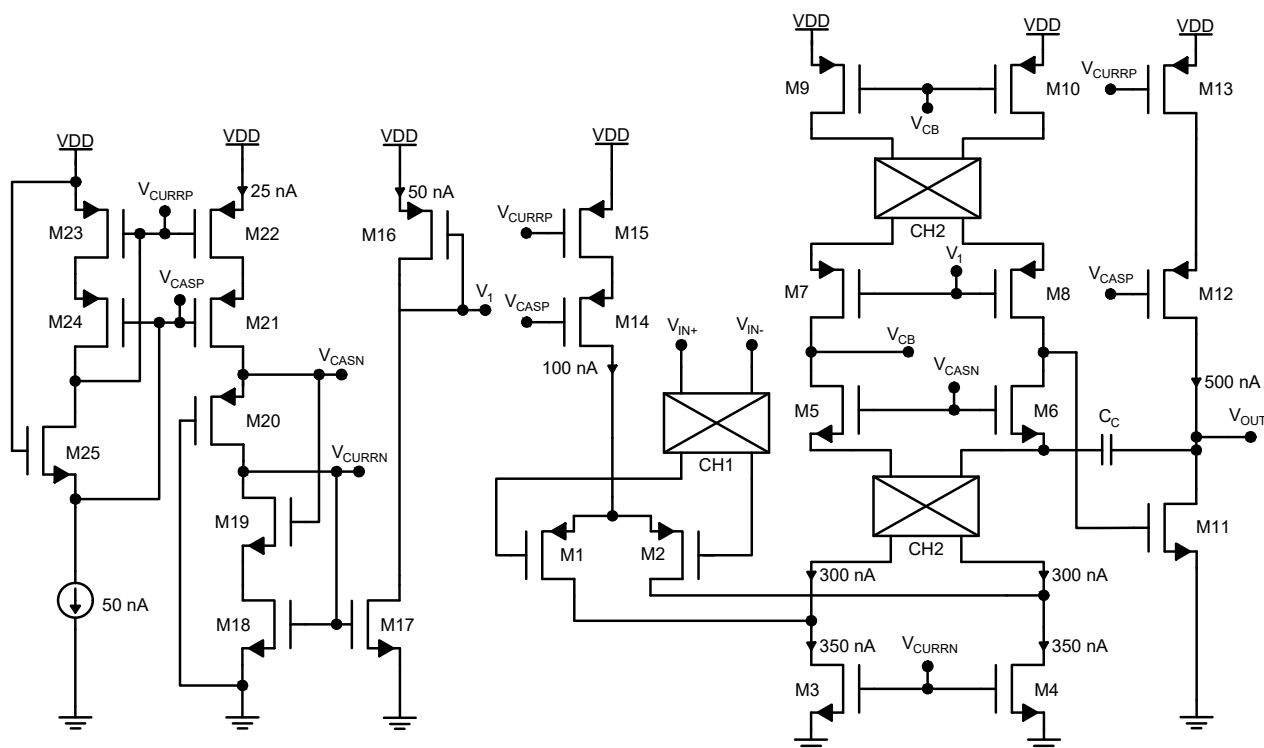
Samotný obvod na princípe chopper techniky je zložený zo štyroch spínačov s prenosovými hradlami (transmission gates – Obr. 4), pričom funguje na periodickom prepínaní medzi kladnou a zápornou polaritou vstupného napätia privedeného na tento blok. Tieto prenosové hradlá musia spoľahlivo fungovať až do frekvencie $f_{chopp,max}$, čo kladie prísne požiadavky na čas ustálenia, najmä v 65-nm CMOS procese. Efektívny návrh chopper bloku vyžaduje rýchlu odozvu, ktorá je riadená primárne časovou konštantou RC daného obvodu. Túto frekvenciu možno priamo určiť z nabíjajúcich charakteristík kondenzátora (Rov. 5), kde výraz $e^{-\frac{t}{\tau}}$ predstavuje chybu ustálenia ϵ_s pri predpoklade 50 % striedy hodinového signálu. Použitie tranzistorov s nízkym prahovým napätím (LVT) vo funkcii spínačov však ovplyvňuje presnosť napät'ového sledovača (OZ) v dôsledku výrazného nárastu zvodových prúdov (leakage) pri zvýšených teplotách. Pri udržiavaní presného 10 mV výstupu tieto parazitné zvody odvádzajú prúd do zeme, čo vedie k takmer 5 % chybe, ktorá je pre túto aplikáciu neprijateľná. Na zmiernenie tohto javu sú pre spínače v prenosových hradlách realizované 2,5 V tranzistory s hrubou vrstvou oxidu (thick-oxide), ktoré efektívne redukovujú zvodový prúd do oblasti femto až pikoampérov.

$$f_{chopp,max} < -\frac{1}{2\tau \ln(\epsilon_s)} \quad (5)$$

Prevod rovnice Rov. 5 z časovej oblasti do s-domény nám poskytuje dve rovnice, ktoré je potrebné vyriešiť pre každú periódu (Rov. 6), kde koeficient spätnej väzby je $\beta = 1$ a prenos uzavretej slučky je definovaný ako $K = \frac{A_0}{A_0+1}$.

$$\begin{aligned} V_{OUT1}(s) &= K \frac{1}{\frac{\tau}{A_0+1}s + 1} (V_{IN} + V_{OS}) \\ V_{OUT2}(s) &= K \frac{1}{\frac{\tau}{A_0+1}s + 1} (V_{IN} - V_{OS}) \end{aligned} \quad (6)$$

Pokiaľ ide o potlačenie $1/f$ šumu [9], spínacia frekvencia chopper bloku f_{chopp} by mala byť umiestnená na frekvencii, kde sa $1/f$ šum dosahuje úroveň tepelného šumu. Ak sa zvolí nižšia hodnota f_{chopp} , $1/f$ šum nebude plne modulovaný, čo povedie k zvýšenému šumu na výstupe. Rovnica 7 odhaľuje návrhové obmedzenie pre chopper techniku na konci jej polperiódy. Exponenciálny výraz $e^{-\pi(f_{GBW}/f_{chopp})}$ definuje dynamickú chybu ustálenia. Na dosiahnutie vysokej presnosti a zabezpečenie toho, aby sa táto chyba stala zanedbateľnou, musí byť f_{GBW}

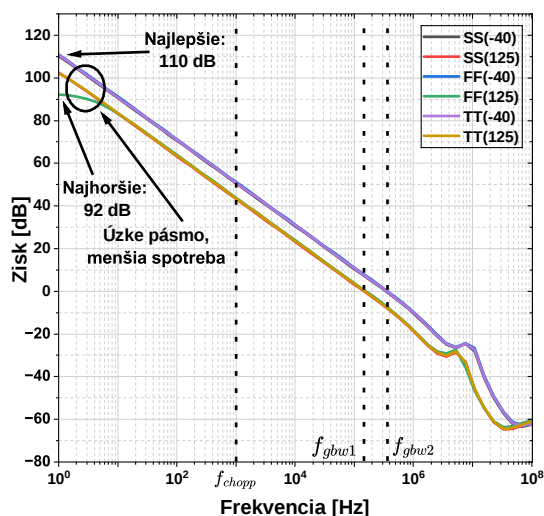


sl'uchy spätnej väzby navrhnutá tak, aby bola výrazne vyššia ako frekvencia f_{chopp} . Ak je tento pomer nedostatočný, napätia $v_{OUT1}(t)$ a $v_{OUT2}(t)$ nedosiahnu svoje ustálené hodnoty, čím vzniká zvyškový dynamický offset, ktorý následná demodulácia nedokáže úplne eliminovať.

$$\begin{aligned} v_{OUT1}(t) &= K(V_{IN} + V_{OS}) \left(1 - e^{-\pi \frac{f_{GBW}}{f_{chopp}}} \right) \\ v_{OUT2}(t) &= K(V_{IN} - V_{OS}) \left(1 - e^{-\pi \frac{f_{GBW}}{f_{chopp}}} \right) \end{aligned} \quad (7)$$

V tejto sekcii sú výsledky simulácií porovnané s očakávanými parametrami. Ako prvý bol OZ (Obr. 5) zapojený v RI prevodníku, pričom vykazuje hodnotu zisku v najnepriaznivejšom prípade 92 dB. V porovnaní s mnohými inými nízkoprikonovými OZ ide o vynikajúci výsledok, a to aj pri uvažovaní procesných rozptylov a teplotného rozsahu od -40°C do 125°C . Daňou za tento zisk je však úzka šírka pásma spôsobená veľkým malým prúdom pretekajúcim diferenciálnym vstupným párom. Pri zahrnutí vplyvu technologických rozptylov a teploty možno pozorovať dve frekvencie jednotkového zisku f_{gbw1} a f_{gbw2} , pričom fázová rezerva sa pohybuje v rozmedzí 82° až 86° . Navrhnutý RI prevodník vykazuje celkovú prúdovú spotrebu (Obr. 6) takmer $1,5\mu\text{A}$ pri najnižšom definovanom odpore $50\text{k}\Omega$ a $V_{IN} = 10\text{mV}$. Táto hodnota klesá k $1,38\mu\text{A}$, čo predstavuje kľudový prúd samotného OZ. Ďalší test bol vykonaný pre maximálne $V_{IN} = 200\text{mV}$, kde bol zaznamenaný širší rozsah prúdov, najmä pri najnižších odporoch (približne $5,25\mu\text{A}$). Krivky sa s meniacou teplotou a technologickým rozptylom menia len minimálne, čo potvrdzuje robustnosť návrhu. PSRR (Obr. 7) R-I vetvy v kombinácii s OZ vytvára skvelú kombináciu, ktorá vedie k výsledku 1nA/V v najlepšom prípade. So stúpajúcou frekvenciou však chyba dramaticky narastá na $5,6\mu\text{A/V}$, čo je neprijateľné. Obvod preto vyžaduje stabilný napájací zdroj, čo je možné zabezpečiť použitím lineárneho regulátora napätia. Simulované nízkofrekvenčné hodnoty PSRR sú identické s výsledkami odvodenými z rovnice 3. Pri vyšších frekvenciách už rovnica prestáva platiť kvôli parazitným javom, ktoré v nej nie sú zahrnuté. Obr. 8 zobrazuje absolútnu chybu RI

konvertora, kde OZ je zapojený ako napäťový sledovač. Vidíme, že stabilnú vstupnú hodnotu pri zmenách teploty a pri uvažovaní procesných odchýlok dosahujeme do $V_{REF} = 335\text{mV}$. Vyššie vstupné hodnoty napätia vykazujú nadmerné odchýlky a v praxi nepoužiteľnosť RI konvertora. Na overenie ďalších teoreticky odvodených rovníc bol do vstupného páru pridaný DC napäťový zdroj, ktorý vytvára virtuálnu nesymetriu podobne ako reálny V_{OS} . Výstupné napätie pre $V_{IN} = 10\text{mV}$ je znázornené na Obr. 9. V súlade s očakávaniami podľa rovnice 7 dosahuje maximálna hodnota úroveň $V_{IN} + V_{OS}$ a minimálna $V_{IN} - V_{OS}$, pričom exponenciálny výraz definuje čas ustálenia, čo sa potvrdilo ako správne. Napäťové špičky spôsobené vstrekaním náboja sa nepodarilo úplne potlačiť, keďže boli dosiahnuté rozmerové limity spínačov. Simulovaný bol vstupný offset bez použitia choppera. Ako vidno na Obr. 10, výsledky Monte Carlo simulácie pre 200 vzoriek čipov vykazujú smerodajnú odchýlku približne $4,48\text{mV}$, čo je pre presné merania príliš vysoká hodnota. To potvrdzuje, že technika choppera je nevyhnutná na redukciu offsetu na úroveň mikrovoltov, ako ukazujú nasledujúce výsledky. Teplotný parameter nie je definovaný, keďže oba grafy vyzerajú takmer identicky. Následne bol simulovaný vstupný offset so zapnutou technikou choppera. Obr. 11 predstavuje výsledky Monte Carlo simulácie pre 200 vzoriek pri $T = -40^\circ\text{C}$, kde sa smerodajná odchýlka výrazne znížila na $41,4\mu\text{V}$. Podobne Obr. 12 zobrazuje offset pri zvýšenej teplote $T = 125^\circ\text{C}$. Aj v týchto extrémnych podmienkach zostáva offset silne potlačený so smerodajnou odchýlkou $38,5\mu\text{V}$. Tieto výsledky potvrdzujú, že OZ s chopper technikou poskytuje vynikajúcu stabilitu offsetu v celom teplotnom rozsahu, vďaka čomu je ideálny pre vysoko presné snímanie plynov. Na záver bolo odsimulované efektívne výstupné šumové napätie v uzle V_{SENSE} , kde bez chopper techniky sme dosahovali v pásme od $0,1 \div 1\text{Hz}$ hodnotu $13,63 \div 20,32\mu\text{V}_{RMS}$, čo v našom prípade je neakceptovateľné. Úspešným potlačením tohto šumu približne o 28-krát sme dostali hodnoty v tom istom pásme $0,46 \div 0,77\mu\text{V}_{RMS}$, čo znižuje výslednú chybu výstupného napätia V_{SENSE} a teda chybu celkového generovaného prúdu R-I konvertorom.



Obr. 5: Zisk spätnoväzobnej slučky RI konvertora

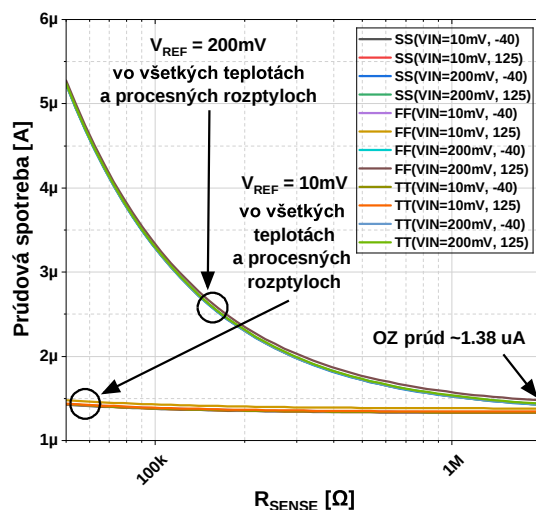
Tab. 1: Navrhnuté parametre RI konvertora pri nízkych frekvenciách

Chopprom stabilizovaný RI konvertor				
Parameter	Min	Typ	Max	Jed.
Napájacie napätie	-	1.2	-	V
Prúdová spotreba	-	$1.38 + \frac{V_{REF}}{R_{SENSE}}$	-	μA
Teplota	-40	27	125	$^\circ\text{C}$
Zisk	92	-	110	dB
Fázová rezerva	82	-	86.5	$^\circ$
PSRR	-180	-	-165	dBs
V_{REF}	10	-	335	mV
Plocha	-	1698	-	μm^2
V_{OS}^1	-119.4	-	116.1	μV
$V_{SENSE,noise}^2$	0.46	-	0.77	μV_{RMS}
Operačný zosilňovač (žiadny chopper)				
Parameter	Min	Typ	Max	Jed.
Area	-	2241	-	μm^2
$V_{SENSE,noise}^3$	13.63	-	20.32	μV_{RMS}

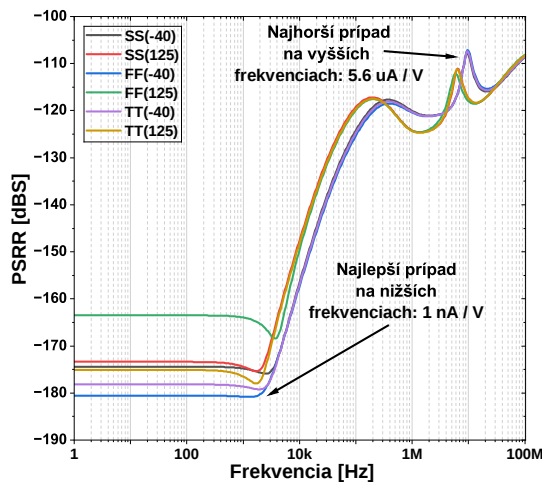
¹ Do tohto rozsahu spadne približne 99,7 % čipov (3σ).

^{2,3} Efektívna hodnota šumu na výstupe V_{SENSE} od 0.1 Hz po 1 Hz.

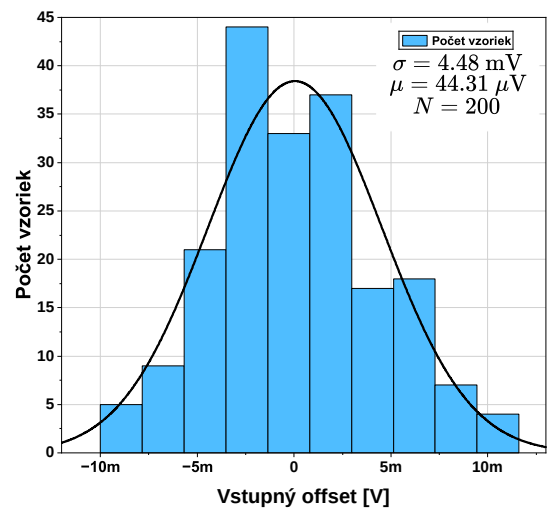
Tab. 1 zobrazuje navrhnuté parametre RI konvertora pred použitím chopper bloku a po jeho použití. Je možné pozorovať zmeny v ploche, efektívnej hodnote šumového napätia a vstupnom offsete. Detaily sú popísané v nadchádzajúcej kapitole.



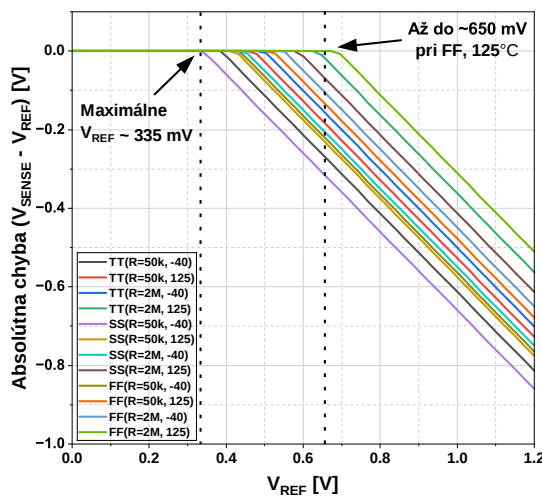
Obr. 6: Prúdová spotreba RI konvertora



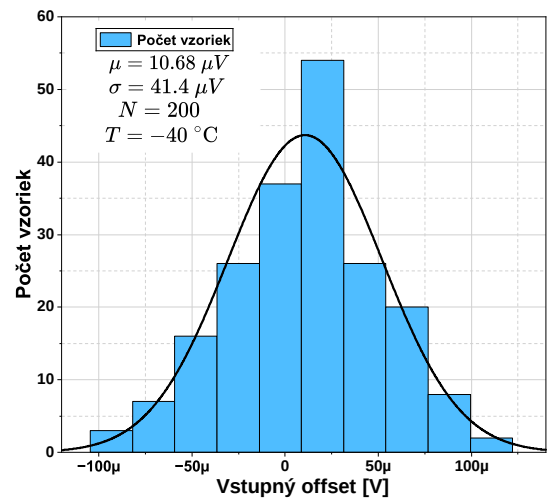
Obr. 7: PSRR RI konvertora



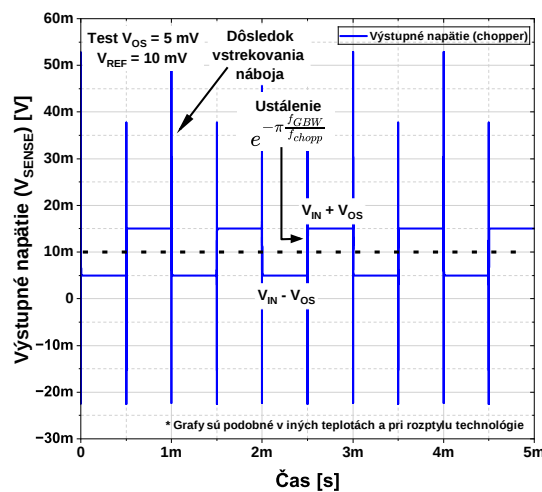
Obr. 10: Monte Carlo analýza offsetu bez chopping techniky



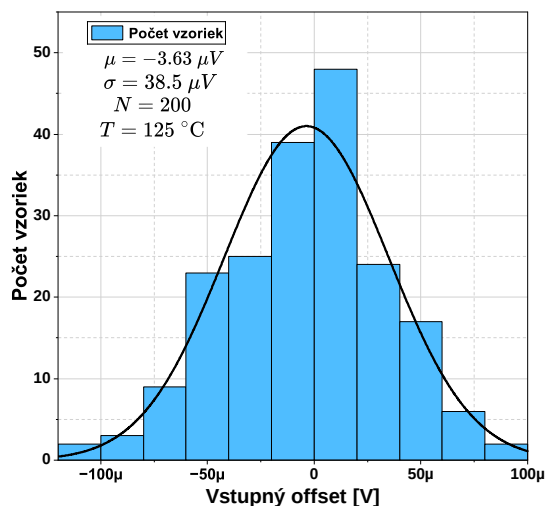
Obr. 8: Absolútna chyba medzi výstupným a vstupným napätím v závislosti od zmeny V_{REF}



Obr. 11: Monte Carlo analýza offsetu s chopping technikou pri $T = -40^\circ\text{C}$.



Obr. 9: Výstupné chopprom riadené napätie v čase



Obr. 12: Monte Carlo analýza offsetu s chopping technikou pri $T = 125^{\circ}\text{C}$.

4 Záver

V tomto článku bol predstavený RI prevodník s OZ na báze choppera, navrhnutý v 65-nm CMOS technológii. Navrhovaný prevodník je vhodný na integráciu do systémov snímania plynov ako súčasť čítacieho rozhrania. Navrhnutá architektúra vykazuje schopnosť snímania v rozsahu piatich dekád, od 50 kΩ až po 2 GΩ. Pri $R_{SENSE} = 50 \text{ k}\Omega$ si systém zachováva spotrebu prúdu približne 1,5 μA pri $V_{REF} = 10 \text{ mV}$. Významným úspechom tejto práce je fyzická optimalizácia OZ, ktorý zaberá plochu iba 1698 μm², čo predstavuje 24 % zmenšenie plochy v porovnaní s predchádzajúcou implementáciou a redukcia výstupného spínacieho šumu približne o 28-krát. Návrh však odhaľuje základný kompromis medzi prúdovou spotrebou a šírkou pásma OZ. Výsledkom je redukovaná šírka pásma OZ, čím sa efektívne vymenila rýchlosť za ultra nízku spotrebu energie. Ako je znázornené v Tabuľke II, navrhovaný RI prevodník dosahuje v porovnaní s najmodernejšími riešeniami výrazné zníženie napájacieho napätia V_{DD} aj referenčného napätia V_{REF} . Zatiaľ čo predchádzajúce práce, ako napríklad [4] a [6], sa spoliehajú na úrovne V_{DD} 3,3 V, resp. 2,0–2,5 V, táto práca pracuje s redukovaným napájaním 1,2 V. Toto zníženie je kritické pre moderné prenosné systémy snímania plynov, pretože priamo umožňuje dlhšiu životnosť batérie. Kľúčovým technickým prínosom je ultra nízky rozsah V_{REF} (0,01–0,3 V). Práce ako [5] a [4] vyžadujú pre správnu prevádzku V_{REF} aspoň 100 mV, resp. 1 V, čo zvyšuje celkovú prúdovú spotrebu RI prevodníka. Navyše, v porovnaní s [6], ktorá využíva 110-nm proces, naša implementácia v 65-nm CMOS technológii využíva menšie parazitné kapacity, hoci prináša výzvy v podobe zvodových prúdov (leakage). Tento prevodník v budúcnosti bude použitý v čítacom obvode pre nízkopríkonový integrovaný systém na detekciu nebezpečných plynov.

Tab. 2: Porovnanie navrhnutého obvodu s inými prácami

Referencia	[5]	[4]	[6]	Táto práca
Technológia	65 CMOS	35 CMOS	110 CMOS	65 CMOS
Rok	2024	2007	2021	2026
V_{REF}	0.1-1	1	-	0.01-0.3
V_{DD}	2-2.5	3.3	1.5	1.2

Literatúra

- [1] L. Pileggi, G. Keskin, X. Li, Ken Mai and J. Proesel, "Mismatch analysis and statistical design at 65 nm and below," 2008 IEEE Custom Integrated Circuits Conference, San Jose, CA, USA, 2008, pp. 9-12, doi: 10.1109/CICC.2008.4672006.
- [2] M. J. M. Pelgrom, H. P. Tuinhout and M. Vertregt, "Transistor matching in analog CMOS applications," International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217), San Francisco, CA, USA, 1998, pp. 915-918, doi: 10.1109/IEDM.1998.746503.
- [3] Razavi, Behzad. Design of analog CMOS integrated circuits, 2005.
- [4] M. Grassi, P. Malcovati and A. Baschiroto, "A 141-dB Dynamic Range CMOS Gas-Sensor Interface Circuit Without Calibration With 16-Bit Digital Output Word," in IEEE Journal of Solid-State Circuits, vol. 42, no. 7, pp. 1543-1554, July 2007
- [5] T. Gergely, D. Arbet, M. Kováč and V. Stopjaková, "Design of Resistance to Frequency Converter for Gas Sensing Applications," 2024 International Conference on Applied Electronics (AE), Pilsen, Czech Republic, 2024, pp. 1-5, doi: 10.1109/AE61743.2024.10710313.
- [6] Lee, Yongtae, et al. "A 47.5 nJ resistor-to-digital converter for detecting BTEX with 0.06 ppb-resolution." 2021 Symposium on VLSI Circuits. IEEE, 2021.
- [7] M. Grassi, P. Malcovati and A. Baschiroto, "An Uncalibrated 141dB Dynamic-Range CMOS Gas-Sensor Interface with 16-Bit Digital Output," 2006 Proceedings of the 32nd European Solid-State Circuits Conference, Montreaux, Switzerland, 2006
- [8] Romero, Nichols A. "Johnson noise." power 2.4 (1998)
- [9] P.K Chan, L.S Ng, L Siek, K.T Lau, Designing CMOS folded-cascode operational amplifier with flicker noise minimisation, Microelectronic Journal, Volume 32, Issue 1, 2001, Pages 69-73, ISSN 1879-2391

Modulácia oneskorenia gitarového efektu echo pomocou nízkofrekvenčného oscilátora

Bc. Daniel Kazán

Ústav elektroniky a fotoniky, FEI STU v Bratislave

xkazand1@stuba.sk

Abstrakt – Cieľom článku je predstaviť princíp gitarového efektu echo/delay a jeho praktickú realizáciu s využitím integrovaného obvodu PT2399. V úvodnej časti je stručne opísaný historický vývoj efektu echo, od analógových páskových zariadení až po moderné digitálne riešenia. Následne je vysvetlený princíp fungovania čipu PT2399, ktorý obsahuje integrovaný A/D a D/A prevodník spolu s pamäťou pre realizáciu digitálneho oneskorenia signálu. Ďalšia časť článku sa venuje návrhu nízkofrekvenčného oscilátora (LFO – Low Frequency Oscillator) a spôsobu jeho využitia na modulovanie oneskorenia čipu PT2399, čím je možné dosiahnuť dynamické zvukové efekty založené na periodickej zmene času oneskorenia. Týmto spôsobom je demonštrované, ako možno jednoduchými analógovými a digitálnymi obvodmi realizovať rôzne modulačné efekty používané v audiotechnike.

1 Úvod

Gitarový efekt echo (tiež označovaný ako delay) je založený na oneskorení opakovaní vstupného signálu. Ide o jednoduché alebo viacnásobné oneskorené opakovanie s definovaným časom a útlmom, ktoré simuluje odrážajúci sa zvuk od stien v miestnosti. Výsledkom je charakteristický zvuk podobný ozvene, ktorý obohacuje zvukový prejav hudobného nástroja a dodáva mu priestorovú hĺbkú.

1.1 História

Prvé efekty tohoto typu fungovali na princípe nahrávania signálu na magnetofónovú pásku, ktorá sa točila v nekonečnej slučke. Kým sa zvukový záznam na páske dostal k čítacej hlave vzniklo tak oneskorenie závislé od umiestnenia čítacej hlavy a dĺžky pásky. Nevýhodou tohoto systému bola krátka životnosť pásky, vysoký šum a krátky čas oneskorenia od čoho sa odvíjala aj veľkosť zariadenia. [1]

Modernejšie analógové efekty využívali BBD (bridge bucket dealy) čipy, ktoré ukladali zvukový signál ako elektrický náboj v malých pamäťových článkoch a postupne ho presúvali medzi sebou. Rýchlosť presúvania a teda oneskorenie bolo dané externým hodinovým signálom z nízkofrekvenčného oscilátora. Problém pri týchto čipoch bol vysokofrekvenčný šum, ktorý vznikol pri presúvaní náboja medzi pamäťovými článkami. Riešením bolo zaradenie dolnopriepustného filtra na výstup čipu, čo síce zmenšilo frekvenčný rozsah ale odstránilo to šum a zvuk bol prirodzenejší. [2]

Nástupom digitálnej technológie sa začali používať analógovo-digitálne prevodníky s veľkou vzorkovacou frekvenciou a navzorkovaný signál sa uložil na určitú dobu do pamäte podľa nastaveného oneskorenia. Následne sa pomocou prevodníka premenil naspäť na analógový signál a zmiešal sa s pôvodným. V dnešnej dobe sa už väčšina gitarových efektov rieši digitálne. [2]

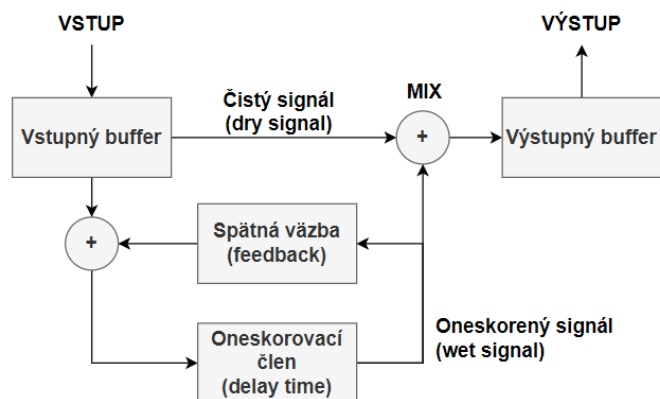
1.2 Dôvod použitia čipu PT2399

Pre realizáciu jednoduchého a cenovo dostupného analógovo-digitálneho echo efektu sa ako ideálne riešenie javí integrovaný obvod PT2399. Tento čip integruje na jedinom puzdre všetky potrebné bloky – A/D prevodník, digitálnu pamäť a D/A prevodník, čo výrazne zjednodušuje návrh obvodu a znižuje počet externých súčiastok. Čip je navrhnutý priamo pre audio aplikácie, pracuje s napájaním 5 V a nepotrebuje žiaden mikrokontrolér ani softvér. Tieto vlastnosti z neho robia obľúbenú voľbu pre domáce audio projekty a gitarové efektové pedále.

2 Princíp efektu echo/delay

2.1 Bloková schéma

Základom efektu echo je vetva oneskorenia zapojená paralelne k priamej signálovej ceste. Vstupný audio signál sa rozdeľuje do dvoch vetiev: priamej (dry signal) a oneskorenej (wet signal). V oneskorenej vetve prechádza signál blokom oneskorenia realizovaným pamäťovým blokom (digital alebo analog), kde je uložený po dobu nastavenú parametrom Delay time. Za pamäťou je oneskorený signál vetvený z časti do sumátora a druhá časť je privedená na vstup pamäte cez zosilňovač so ziskom menším ako 1 alebo potenciometrom (Feedback/Repeats). Toto zapojenie vytvára spätnú väzbu (Feedback), vďaka ktorej sa signál opakuje viackrát s postupne klesajúcou amplitúdou. Výstupný signál zariadenia vzniká zmiešaním priamej a oneskorenej vetvy v zmiešavacom stupni, pričom úroveň oneskoreného signálu je nastaviteľná potenciometrom Mix. [3]



Obr. 1. Bloková schéma efektu echo/delay.

2.2 Typické oneskorenie a parametre

Čas oneskorenia je kľúčovým parametrom, ktorý určuje charakter výsledného zvuku. Krátke oneskorenia do 10ms sa využívajú pri efektoch flanger a oneskorenie od 10 do 30ms je zas typické pre efekt chorus. [4]

Oneskorenia v rozsahu 25 až 50 ms spôsobujú zdvojenie zvuku a zhrubnutie tónu, čo sa využíva na efekt slapback echo typický pre rockabilly a country gitaru. Oneskorenia od 50 do 150 ms vytvárajú efekt priestorového odrazu a používajú sa na dosiahnutie pocitu väčšej hĺbky priestoru. [5]

Klasické rytmické echo sa pohybuje v rozsahu 150 až 600 ms, kde je opakovanie zreteľne počuteľné ako samostatný zvuk synchronizovaný s tempom skladby.

Integrovaný obvod PT2399 umožňuje nastavenie oneskorenia v rozsahu približne 30 až 340 ms v závislosti od hodnoty externého rezistora pripojeného k pinu riadenia oscilátorom. [6]

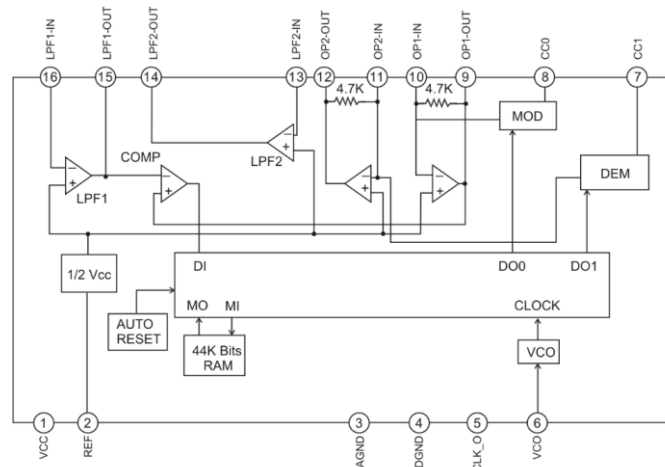
3 Popis čipu PT2399

PT2399 je CMOS integrovaný obvod, navrhnutý špeciálne pre realizáciu audio efektov s oneskoreným signálom. Obvod pracuje s napájacím napätím 4,5 až 5,5 V a odberom prúdu typicky 15 mA. Vstupný audio signál je vzorkovaný interným A/D prevodníkom, vzorky sú ukladané do integrovanej RAM pamäte s kapacitou 44 kilobitov a po uplynutí nastavenej doby oneskorenia sú čítané a prevedené späť na analógový signál D/A prevodníkom. Čip obsahuje integrovaný RC oscilátor, ktorého frekvencia sa nastavuje externým rezistorom a priamo určuje dĺžku oneskorenia – čím nižšia je hodnota rezistora, tým je oneskorenie menšie. Minimálne oneskorenie dosiahnuteľné s týmto čipom je 31,3 ms a maximálne 342 ms. [6]

3.1 Bloková schéma a jej opis

Vnútna architektúra obvodu PT2399 sa skladá z nasledujúcich funkčných blokov: vstupný neinvertujúci zosilňovač s nastaviteľným ziskom, A/D prevodník prevádzajúci analógový signál na digitálne vzorky, riadiacu logiku a adresový obvod, integrovanú pamäť RAM slúžiacu na ukladanie vzoriek, D/A prevodník rekonštruujúci analógový signál z pamäte a výstupný sledovač napätia s nízkou výstupnou impedanciou. Všetky bloky majú spoločný interný oscilátor, ktorého frekvencia je

určená externým rezistorom a je privedený na výstupný pin CLK_O. Vstup a výstup sú vyvedené ako samostatné piny, čo umožňuje flexibilné externé zapojenie zosilňovacích a filtrovacích stupňov.



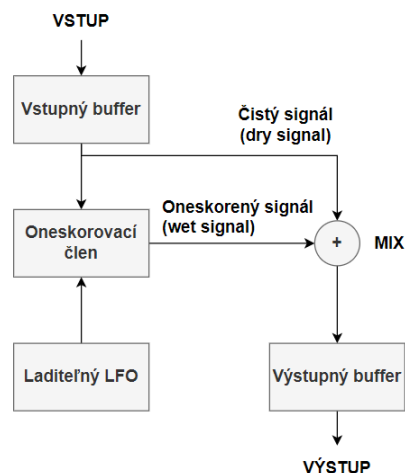
Obr. 2. Bloková schéma čipu PT2399. [6]

3.2 Možnosti nastavenia pre echo/reverb/chorus

Samotný čip PT2399 realizuje iba jednoduchú funkciu oneskorenia, avšak kombináciou externých súčiastok a zapojenia je možné dosiahnuť viacero odlišných efektov.

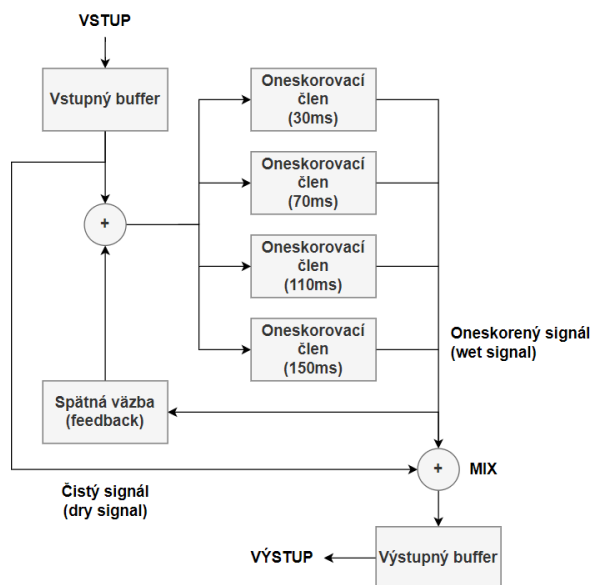
Efekt echo sa realizuje privedením časti výstupného signálu späť na vstup cez odporový delič (potenciometer) – hodnota deliča určuje mieru spätnej väzby a teda počet opakovaní (Obr. 1.). Treba však dávať pozor na úroveň signálu, ktorá sa vracia na vstup. Pokiaľ na vstup príde signál s rovnakou úrovňou ako v predošlom opakovaní, dôjde k zacykleniu.

Efekt chorus vzniká nastavením veľmi krátkeho oneskorenia (5 až 30 ms) s moduláciou frekvencie oscilátora nízkofrekvenčným oscilátorom (LFO) – tým sa oneskorenie periodicky mení a výsledný signál znie ako zborový zvuk viacerých nástrojov hraných súčasne.



Obr. 3. Bloková schéma efektu chorus.

Efekt reverb je možné simulovať paralelným zapojením viacerých oneskorovacích členov s rôznymi časmi oneskorenia a ich zmiešaním, čím vzniká hustá spleť odrazov napodobňujúca dozvuk miestnosti. Bloková schéma je veľmi podobná efektu chorus s tým rozdielom, že nevyužíva LFO pre moduláciu oneskorenia.

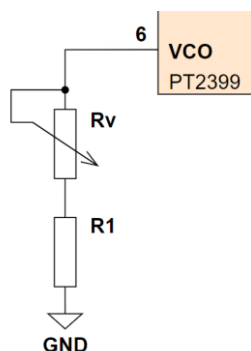


Obr. 4. Bloková schéma efektu reverb (dozvuk).

3.3 Riadenie oneskorenia

Dĺžka oneskorenia obvodu PT2399 je závislá od interného oscilátora, ktorý je nastaviteľný hodnotou externého rezistora pripojeného medzi pin VCO (Voltage Controlled Oscillator) a zem. Výrobca uvádza, že odpor v rozsahu $0,5 \Omega$ až $25 \text{ k}\Omega$ zodpovedá oneskoreniu od 31 ms do 340 ms. Prakticky je možné dosiahnuť oneskorenie až 600 ms, ale s veľkým skreslením. Výrobca taktiež odporúča, aby hodnota externého rezistora pri zapnutí čipu nebola nižšia ako $1 \text{ k}\Omega$, pretože môže dôjsť k zaseknutiu interného oscilátora. [6]

Plynulé riadenie oneskorenia je najčastejšie realizované lineárnym potenciometrom (R_v) zapojeným sériovo s pevným rezistorom (R_1), zaisťujúcim minimálnu bezpečnú hodnotu odporu (Obr. 5.).



Obr. 5. Zapojenie rezistorov pre nastavenie oneskorenia čipu PT2399.

4 Modulácia oneskorenia

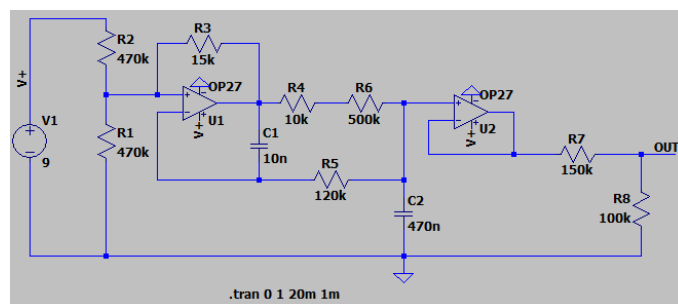
Samotné fixné oneskorenie vytvára statický efekt, v ktorom sa oneskorená kópia signálu opakuje stále v rovnakom čase. Ak sa ale hodnota oneskorenia bude v čase plynule meniť, výsledný zvuk sa dramaticky zmení. Dôvodom je fázový vzťah medzi priamym a oneskoreným signálom. Keď sa oneskorenie mení, menia sa aj frekvencie, pri ktorých dochádza ku konštruktívnemu alebo deštruktívnemu súčtu oboch signálov. Poslucháč to vníma ako charakteristické „vlnenie“ alebo „točenie“ zvuku, kde sa jednotlivé harmonické zložky striedavo zosilňujú a zoslabujú. Rýchlosť a hĺbka tohto vlnenia závisí od frekvencie a amplitúdy modulačného signálu – zvyčajne nízko-frekvenčného oscilátora (LFO) s trojuholníkovým alebo sínusovým priebehom.

4.1 Návrh LFO

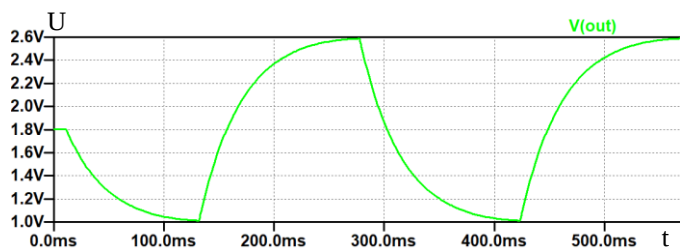
Navrhnutý nízko-frekvenčný oscilátor je rozdelený na niekoľko funkčných blokov. Prvý blok tvorí delič napätia R_1 a R_2 , ktorý vytvára referenčné napätie - virtuálnu zem potrebnú pre operačné zosilňovače pri nesymetrickom napájaní. Nasleduje komparátor so spätnou väzbou realizovaný pomocou U_1 a rezistora R_3 , ktorý vytvára Schmittovu hysterézu a zabezpečuje stabilné prepínanie medzi dvoma napäťovými úrovňami.

Kombinácia R_4 , R_5 , R_6 a kondenzátora C_2 určuje frekvenciu oscilátora. Hodnota týchto komponentov bola zvolená tak, aby výsledná frekvencia spadala do rozsahu jednotiek Hz. Komparátor s hysterézou nabíja a vybíja kondenzátor C_2 cez rezistory R_4 , R_5 a R_6 , čím vzniká signál s tvarom trojuholníka. Simuláciou v LTspice bol zmeraný frekvenčný rozsah 2 Hz – 31 Hz pri hodnotách $C_2 = 470 \text{ nF}$ a $R_6 = 1 \Omega - 500 \text{ k}\Omega$, pričom väčšiemu odporu R_6 zodpovedá nižšia frekvencia.

Výstupný trojuholníkový signál prechádza cez napäťový sledovač tvorený operačným zosilňovačom U_2 , čím sa zníži výstupná impedancia a zabráni ovplyvneniu oscilátora ďalšími obvodmi. Rezistory R_7 a R_8 slúžia na zníženie úrovne výstupného signálu, kde R_8 funguje ako potenciometer na nastavenie hĺbky modulácie.



Obr. 6. Schéma navrhnutého LFO.



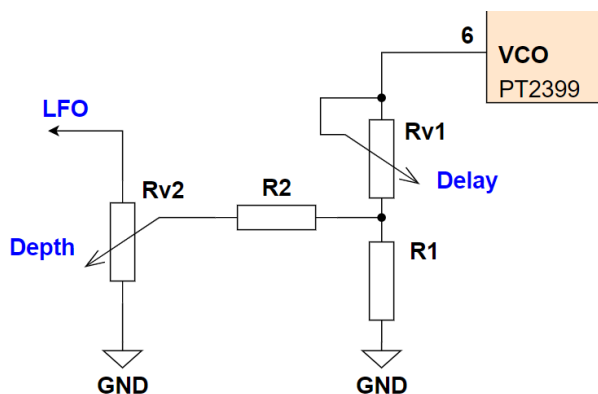
Obr. 7. Priebeh LFO pri $R_6 = 250 \text{ k}\Omega$ simulovaný pomocou LTspice.

4.2 Modulácia oneskorenia priamo z LFO

PT2399 má na pin 6 invertujúci vstup operačného zosilňovača a referenčné napätie približne 2,5V (interná referencia). Pripojením rezistorov R_{v1} a R_1 sa nastavuje prúd tečúci z pinu 6 do zeme, čím sa určuje pracovný bod interného VCO a teda čas oneskorenia.

Pridaním LFO modulátora bude napätie na pine 6 mierne kolísat okolo referenčnej hodnoty. V závislosti od veľkosti tejto zmeny sa mení aj prúd pretekajúci cez R_{v1} a R_1 , čo vedie k zmene frekvencie interného oscilátora a tým aj výsledného času oneskorenia.

Veľkosť amplitúdy z LFO a teda hĺbka modulácie je závislá od potenciometra R_{v2} . Rezistor R_2 má rovnakú funkciu ako R_1 , zaisťujúci minimálnu hodnotu odporu v prípade ak sú oba potenciometre R_{v1} a R_{v2} na nule. Ak by sa výstup R_{v2} pripojil priamo medzi R_{v1} a R_1 , tak pri by minimálnom nastavení došlo k premosteniu R_1 a zrušeniu ochrany (Obr. 8.).



Obr. 8. Schéma pripojenia LFO pre moduláciu oneskorenia.

Pre určenie rozsahu modulácie oneskorenia je možné použiť vzťah (2), do ktorého sa dosadí hodnota prúdu tečúca z pinu 6 (minimálna a maximálna). Týmto spôsobom sa vypočítajú dve krajné hodnoty času oneskorenia, ktoré zodpovedajú dolnej a hornej hranici modulácie. Ich rozdiel určuje rozsah, v ktorom sa mení pracovný bod interného oscilátora.

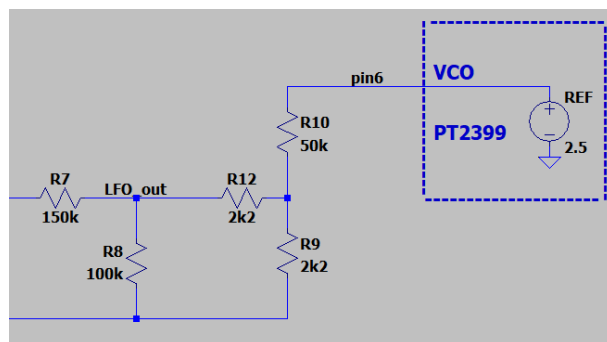
Rovnica pre výpočet prúdu I tečúceho z pinu 6 pre dosiahnutie oneskorenia T :

$$I[\text{mA}] = \frac{28,65}{T[\text{ms}] - 29,7} \quad (1)$$

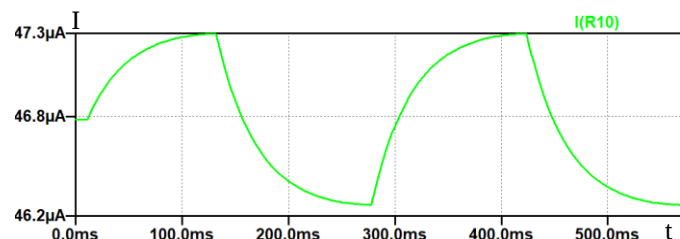
kde I je prúd tečúci z pinu 6 a T je čas oneskorenia [7]. Pre výpočet času T je nutné upraviť rovnicu (1) nasledovne:

$$T[\text{ms}] = \frac{28,65}{I[\text{mA}]} + 29,7 \quad (2)$$

Pomocou simulácie sa zmeria minimálny a maximálny prúd tečúci z pinu 6 (cez R_{v1}) pri maximálnej hĺbke modulácie a následne sa vypočíta ich rozdiel.



Obr. 9. Schéma modulácie oneskorenia, kde R_8 predstavuje potenciometer R_{v2} , R_{10} predstavuje potenciometer R_{v1} .



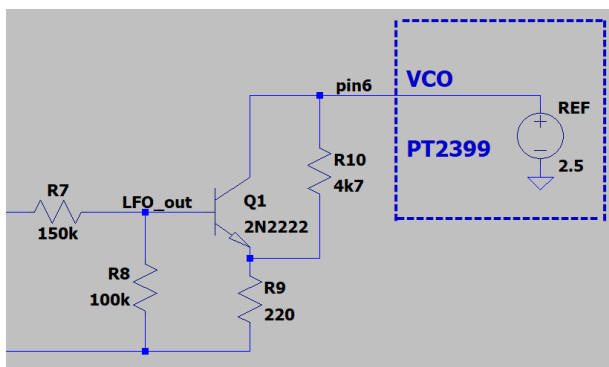
Obr. 10. Priebeh prúdu cez R_{v1} (R_{10}) s minimálnym prúdom $46,26 \mu\text{A}$ a maximálnym prúdom $47,29 \mu\text{A}$.

Po dosadení minimálneho a maximálneho prúdu do rovnice (2) je minimálne oneskorenie rovné $635,53 \text{ ms}$ a maximálne $649,02 \text{ ms}$ a teda rozsah modulácie je $13,48 \text{ ms}$.

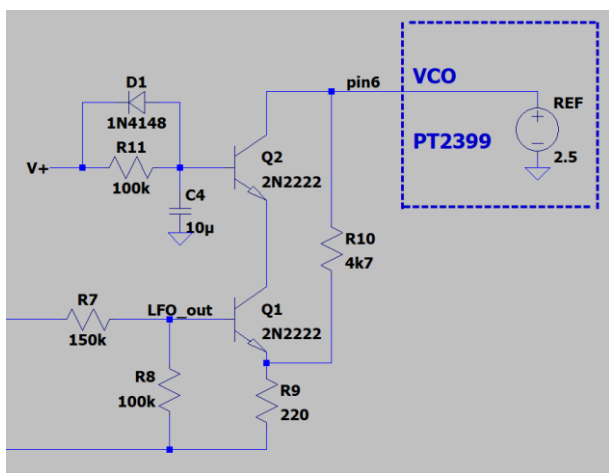
4.3 Riadenie oneskorenia tranzistorom

Druhý spôsob riadenia oneskorenia spočíva v nahradení potenciometra R_{v1} tranzistorom, čím zanikne možnosť nastavenia presného oneskorenia ale je možné získať väčší rozsah modulácie.

Pri tomto zapojení (Obr. 11.) sa tranzistor Q_1 blíži k nulovému odporu, čo môže byť problém pri zapínaní čipu. Preto je nutné pridať ochranu v podobe druhého tranzistora Q_2 spolu s oneskorovacím RC obvodom (Obr. 12.), ktorý po zapnutí predstavuje veľký odpor pre pin 6. Pokiaľ sa kondenzátor C_3 nenabije a nezopne tranzistor Q_2 , interné VCO má dostatok času na rozkmitanie a nedôjde k zaseknutiu. Pre účel simulácie je možné tento ochranný obvod zanedbať a postačí zapojenie na obrázku 11.



Obr. 11. Riadenie oneskorenia tranzistorom.



Obr. 12. Ochranný obvod pre oneskorené pripojenie VCO s RC časovou konštantou rovnou 1s. VCO potrebuje 400ms pre rozkmitanie čomu toto zapojenie poskytuje dostatok času. [6]

Rezistor R10 predstavuje maximálny odpor a teda oneskorenie pri nulovej modulácii (vypnutý tranzistor Q1), čo zodpovedá oneskoreniu približne 83 ms. Pri modulácii nemusí tranzistor Q1 dosiahnuť túto hodnotu ale tiež ju môže aj prekročiť, čo závisí od amplitúdy signálu na jeho hradle. Pre dosiahnutie väčšieho rozsahu modulácie je potrebné zväčšiť hodnotu odporu R7.

Tab. 1. Simulované a vypočítané hodnoty rozsahu oneskorenia pri maximálnej hĺbke modulácie.

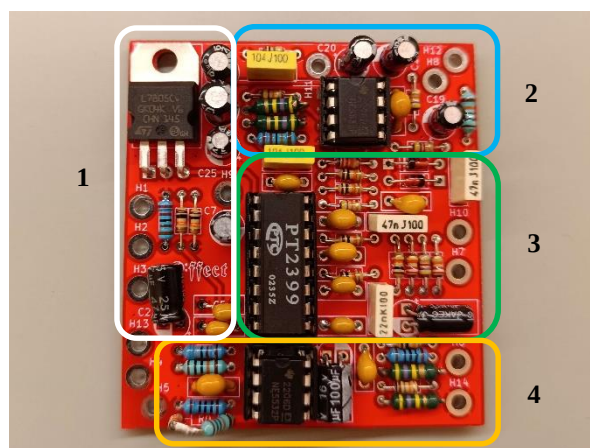
R7	100 kΩ	150 kΩ	200 kΩ
Amplitúda na hradle	964 mV	688 mV	553 mV
Minimálne oneskorenie	35,03 ms	37,53 ms	40,40 ms
Maximálne oneskorenie	51,80 ms	69,85 ms	102,95 ms
Rozsah modulácie	15,77 ms	32,32 ms	62,55 ms

5 Realizácia

Navrhnutý plošný spoj obsahuje bloky zobrazené na Obr. 1. s pridaným LFO (Obr. 6.) pre moduláciu oneskorenia. Blok oneskorenia tvorí čip PT2399 v odporúčanom zapojení pre echo

podľa dokumentácie. Obvod obsahuje 5 potenciometrov pre nastavenie echo efektu – oneskorenie (Delay), počet opakovaní (feedback) a mix pre nastavenie úrovne oneskoreného signálu. Nastavenia modulácie – frekvencia (speed) a hĺbka modulácie (MOD). Pre vizuálnu indikáciu frekvencie bola na výstup operačného zosilňovača U2 (Obr. 6.) pripojená LED dióda. Táto dióda pulzuje podľa frekvencie LFO, čím priamo zobrazuje rýchlosť oscilácie. Vďaka tomu je nastavenie frekvencie pre používateľa prívetivejšie, keďže zmena frekvencie je okamžite viditeľná.

Doska plošných spojov je navrhnutá na univerzálne použitie. Výstup LFO je oddelený od oneskorovacej časti a prepája sa externe cez príslušné potenciometre. Rovnakým spôsobom je riešená spätná väzba a riadenie oneskorenia, čím je možné efekt nastaviť na echo s alebo bez modulácie, chorus alebo jednoduchý reverb.



Obr. 13. Osadená doska plošných spojov pre efekt echo (delay). 1 – napájanie, 2 – vstupný a výstupný buffer, 3 – blok oneskorenia, 4 – LFO.

Pre moduláciu oneskorenia pomocou tranzistora je nutné vymeniť potenciometer pre nastavenie oneskorenia (Obr. 8.) za obvod podľa Obr. 12. Ostatné potenciometre ostávajú nezmenené a teda zostanú len 4 – počet opakovaní (feedback), mix (úroveň efektu), frekvencia a hĺbka modulácie.



Obr. 14. Doska plošných spojov vo vnútri krabičky spolu s potenciometrami, indikačnou LED diódou, audio konektormi a nožným prepínačom vytvárajú kompletný efektový pedál.

6 Záver

Článok sa zaoberá návrhom, analýzou a realizáciou dvoch spôsobov modulácie oneskorenia integrovaného obvodu PT2399 pomocou nízkofrekvenčného oscilátora. Navrhnutý LFO generuje kvázi-trojuholníkový signál v rozsahu frekvencií 2 Hz až 31 Hz, pričom hĺbka modulácie je nastaviteľná potenciometrom. Oba realizované prístupy, boli overené simuláciou v programe LTspice.

V prípade priamej modulácie napätím z LFO bol dosiahnutý maximálny rozsah modulácie oneskorenia 13,48 ms. LFO priamo moduluje napätie na pine 6 a tak ovplyvňuje iba prúd tečúci cez rezistory Rv1 a R1. Keďže zmena napätia na pine je obmedzená, výsledná modulácia oneskorenia je veľmi malá.

Výrazne lepšie výsledky poskytuje riadenie oneskorenia tranzistorom. Tu závisí dosiahnutý rozsah modulácie od hodnoty rezistora R7 a to v rozsahu od približne 16 ms do 63 ms. V porovnaní s priamou moduláciou napätím ide o niekoľkonásobne väčší rozsah. Z hľadiska dosiahnutého rozsahu je tranzistorové riadenie jednoznačne výhodnejšie.

Rozdiel v rozsahu modulácie má priamy a počuteľný vplyv na charakter výsledného zvukového efektu. Pri malom rozsahu modulácie okolo 13 až 16 ms sa oneskorenie mení len nepatrne, čo poslucháč vníma ako jemné vlnenie zvuku. Pri väčšom rozsahu modulácie okolo 32 ms začína byť efekt výraznejší, poslucháč zreteľne počuje periodické pulzovanie alebo kolísanie výšky tónu, typické pre chorus alebo vibrato. Pri maximálnom rozsahu 62,55 ms je modulácia veľmi výrazná, fázový rozdiel medzi priamym a oneskoreným signálom sa periodicky mení v širokom rozsahu, čo spôsobuje intenzívne konštruktívne a deštruktívne interferencie. Výsledkom je dramatický efekt s hlbkovo modulovaným zvukom, ktorý pripomína rotujúci reproduktor alebo výrazný flanger.

Na základe dosiahnutých výsledkov možno konštatovať, že tranzistorové riadenie oneskorenia poskytuje podstatne väčší rozsah modulácie a teda aj širšie zvukové možnosti v porovnaní s priamou moduláciou. Nevýhodou tranzistorového zapojenia je strata možnosti nastavenia presného oneskorenia a nutnosť zaradenia ochranného obvodu zabráňujúceho zaseknutiu interného oscilátora pri zapnutí. Pre praktickú realizáciu gitarového efektového pedálu sa javí ako optimálne riešenie kombinácia oboch prístupov: tranzistorové riadenie pre dosiahnutie výrazných modulačných efektov typu chorus a vibrato spolu s možnosťou prepnutia na fixné oneskorenie pre klasický echo efekt.

Literatúra

- [1] ZAPLETAL, Ondřej; STANĚK, Miroslav. *Analogový kytarový multieffekt*. Ústav rádioelektroniky, FEKT VUT v Brně. Bakalářská práce. 2014. https://www.vut.cz/www_base/zav_prace_soubor_verejne.php?file_id=84428
- [2] SWARTZ, Scott. *Analog Sound From A Digital Delay*. General guitar gadgets. 2002. [online] <https://generalguitargadgets.com/wp-content/uploads/pt80techinfo.pdf>
- [3] BERAN, Petr; ŠTORK, Milan. *Realizace audioefektů pro kytaru*. Západočeská univerzita v Plzni. Bakalářská práce. 2021. <https://dspace.zcu.cz/items/d9cb8cf9-890e-4841-a4c2-8a68327aab5c>
- [4] SALVADOR, Kevin. *Digital Guitar Effects Unit and Amplifier*. California Polytechnic State University. 2012. <https://digitalcommons.calpoly.edu/cgi/viewcontent.cgi?article=1190&context=eesp>
- [5] SCHMIEDT, Peter; SPORKA, Adam. *Prototyp Kytarového Multieffektu*. České vysoké učení technické v Praze. Bakalářská práce. 2015. <https://dcgi.fel.cvut.cz/wp-content/wpallimport-dist/theses/pdf/theses-2015-schmipe4-thesis.pdf>
- [6] Electric druid. *PT2399 datasheet*. [online] <https://electricdruid.net/datasheets/PT2399.pdf>
- [7] Electric druid. *Useful design equations for the PT2399*. 2015. [online] <https://electricdruid.net/useful-design-equations-for-the-pt2399/>

Návrh mriežkového väzobného člena pre WERS senzor

Adam Vavro¹, Martin Ziman¹

¹ Ústav elektroniky a fotoniky, Fakulta elektrotechniky a informatiky STU v Bratislave

xvavroa@stuba.sk

Príspevok sa zaoberá návrhom a optimalizáciou mriežkového väzobného člena pre senzorké aplikácie na báze vlnovodom-zosilnenej Ramanovej spektroskopie (WERS). Návrh bol geometricky prispôsobený pre vlnovod z Si_3N_4 pre výrobný proces linky CEZAMAT. Mriežkový väzobný člen bol optimalizovaný pre dve excitačné pracovné vlnové dĺžky: 633 nm a 785 nm. Pri návrhu mriežky bola použitá numerická metóda konečných diferencií v časovej doméne. Výsledné mriežky dosahovali účinnosť naviazania 47,85% (pre 633 nm) a 45,36% (pre 785 nm).

1 Úvod

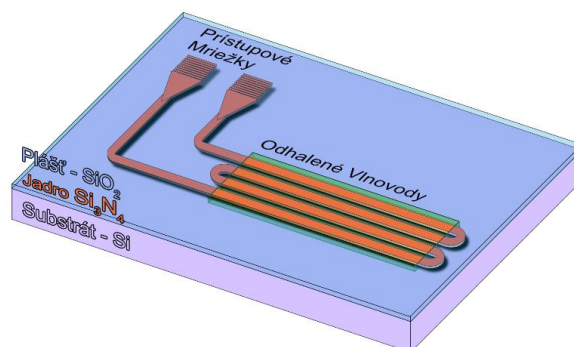
Vlnovodom-zosilnená Ramanova spektroskopia (Waveguide-Enhanced Raman Spectroscopy, WERS) predstavuje v posledných rokoch nový trend spektroskopieckej technológie integrovanej priamo na fotonickom čipe (Photonic Integrated Circuit, PIC) [1]. WERS na takejto PIC platforme nachádza svoje uplatnenie hlavne na chemické a biologické snímanie analytov v roztoku, ktorý je priamo v kontakte so snímajúcim vlnovodom. Svetlo sa vo WERS štruktúre šíri na základe úplného vnútorného odrazu vo vnútri dielektrického jadra vlnovodu, čo sa docieľa zvolením materiálov s vhodnými indexami lomu. K samotnej optickej interakcii so skúmanou látkou (analytom) tak nedochádza v jej celom objeme, ale len na rozhraní vlnovodu prostredníctvom povrchového evanescentného poľa, ktoré vyvoláva Ramanov rozptyl [1, 2]. Vzniknuté (rozptýlené) fotóny sú následne vedené tým istým vlnovodom do detektora vo forme transmisie a odrazu [2]. Konvenčné metódy Ramanovej spektroskopie, bez PIC, využívajú len odraz od povrchu vzorky, čím nevyhnutne dochádza k nežiaducej absorpcii a optickému rušeniu. Významnou prednosťou technológie WERS je tým pádom vedenie Ramanovho signálu vo väčšom objeme analyzovanej vzorky.

Metóda snímania v obvodoch WERS je principiálne príbuzná metóde povrchovo zosilnenej Ramanovej spektroskopie (Surface-enhanced Raman spectroscopy, SERS). Technológia WERS ponúka oproti metóde SERS viaceré výhody, predovšetkým z hľadiska nižšej ceny a vysokého stupňa miniaturizácie pre využitie v lab-on-chip systémoch. Použitím WERS sa zároveň úplne eliminuje nutnosť používať drahé a krehké nanoštruktúry z ušľachtilých kovov, ktoré sú pre SERS nevyhnutné [2].

Napriek rýchlemu pokroku čelí technológia WERS viacerým výzvam. Medzi primárne nevýhody patria vysoké straty pri šírení svetla vo vlnovode, ktoré limitujú jeho maximálnu užitočnú dĺžku potrebnú na akumuláciu dostatočne silného Ramanovho signálu. Ešte kritickejším problémom sú však vysoké straty pri navязovaní svetla do čipu. Tieto straty priamo vyplývajú z architektúry WERS zariadení, ktoré

štandardne využívajú ultratenké planárne vlnovody s hrúbkou pod 150 nm [2]. V dôsledku takýchto miniatúrnych rozmerov je optický mód šíriaci sa vlnovodom relatívne malý (pološírka profilu FWHM $\sim 1 \mu\text{m}$) voči bežnému optickému vláknu [2]. Konvenčné metódy čelného navязovania (end-fire coupling) medzi vláknom a PIC tým pádom narážajú na nutnosť submikrónovej presnosti zarovnania a zložitej technologickej úprave hrán čipu. Na prekonanie tohto problému s nesúlodom módov sa preto pristúpilo ku implementácii prepojenia pomocou mriežkových väzobných členov (grating couplers) [3, 4]. Mriežkové väzobné členy umožňujú žiarenie navязovať na ľubovoľnom mieste na čipe, čo je výhodné v použití v kombinácii s Ramanovým mikroskopom. Táto vlastnosť je plne kompatibilná s dizajnom nášho meracieho pracoviska, ktoré je koncipované na kolmé snímanie zhora, teda v smere vyviazaného, difragovaného žiarenia z mriežkového väzobného člena. Umiestnenie mriežky na ľubovoľné miesto v rámci topológie čipu nám navyše umožňuje minimalizovať vzdialenosť medzi väzobným prvkom a odhalenou (snímajúcou) oblasťou vlnovodu. Kratšia optická trasa výrazne redukuje straty šírením a nežiaduci útlm signálu v plášti, čo je ďalšou výhodou pre proces maximalizácie citlivosti WERS systémov pri detekcii inak slabého Ramanovho signálu.

V rámci tejto práce sa zameriame na návrh prístupového mriežkového väzobného člena vhodného na použitie vo WERS obvodoch (zobrazeného na Obr. 1). Štruktúra bola navrhnutá pre dve prevádzkové vlnové dĺžky (633 nm a 785 nm), ktoré sa využívajú ako excitačné žiarenie na budenie Ramanovho rozptylu vo vzorke. Vlnovod bol navrhnutý s prierezom $400 \times 160 \text{ nm}$. Pomocou numerických simulačných metód v softvérovom prostredí Keysight RSoft boli určené a následne optimalizované vybrané parametre navrhovanej štruktúry ako napríklad perióda. Správnym nastavením týchto parametrov maximalizujeme účinnosť naviazania optického žiarenia medzi mriežkovým väzobným členom a optickým vláknom.



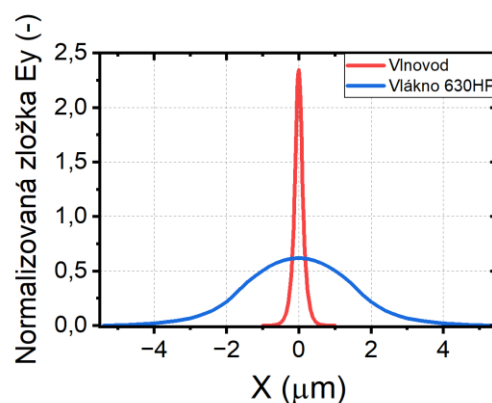
Obr. 1. Schéma WERS obvodu s prístupovými mriežkovými väzobnými členmi

2 Analýza vlnovodu a nesúlad žiarenia pri naviazaní

Všetky geometrické rozmery vlnovodných štruktúr a mriežkového väzobného člena boli navrhované tak aby boli v súlade s technologickými požiadavkami výrobcu - pilotnej linky CEZAMAT, Varšava. Návrhové pravidlá výrobcu obmedzujú minimálnu povolenú šírku vyrábaného vlnovodu na 400 nm pre vrstvu Si_3N_4 s hrúbkou 160 nm. Pri týchto rozmeroch je vo vlnovode naviazaný optický mód slabý, čo spôsobuje, že podstatne väčšia časť elektromagnetického poľa preniká mimo jadra do okolitého prostredia vo forme evanescentnej vlny. Výsledkom je výrazne širší profil evanescentného poľa, ktoré priamo a na väčšej ploche interaguje s okolitým analytom, z čoho benefitujú práve systémy na báze WERS.

Návrh mriežkových väzobných prvkov bol realizovaný pre prevádzkové vlnové dĺžky 633 nm a 785 nm, ktoré predstavujú kľúčové excitačné zdroje pre systémy WERS. Voľba týchto vlnových dĺžok umožňuje prispôsobiť senzorický systém rôznym typom analytov. Kým 633 nm poskytuje vysokú účinnosť Ramanovho rozptylu, často so sebou prináša aj nežiaduce fluorescenčné pozadie. To predstavuje zásadný problém pri detekcii silne fluorescenčných molekúl, ako je použitý referenčný analyt Rhodamín 6G. Keďže vlnová dĺžka 785 nm leží mimo hlavného absorpčného pásma tohto analytu, fotóny s nižšou energiou nedokážu vyvolať nežiaducu fluorescenciu. Použitím vlnovej dĺžky 785 nm tak vieme zachytiť čistý Ramanov signál s dostatočným odstupom signálu od šumu [5].

Jeden z problémov, s ktorým sa stretávame pri kombinovaní optických vlákien s vlnovodnými štruktúrami, používanými práve v PIC, sú ich navzájom nekompatibilné rozmery geometrií. Vzájomný nepomer veľkosti a tvaru štruktúr vytvára tiež nesúlad ich optických módov. Štandardné optické vlákno určené pre vlnovú dĺžku 633 nm (typ 630HP) má priemer jadra 3,5 μm [6], vďaka čomu sa v ňom svetlo šíri ako slabý vedený a radiálne symetrický Gaussov mód. Nami zvolený integrovaný vlnovod má naopak obdĺžnikový prierez, čo vedie k silne ohraničenému priestorovému profilu elektromagnetického poľa. Uvedený nesúlad módov vhodne ilustruje porovnanie ich priestorových Gaussových profilov. (Obr. 2.) vytvorených pomocou metódy konečných prvkov (Finite Element Method, FEM). V dôsledku nesúladu časť optického výkonu z okrajových oblastí širokého módu vlákna nedopadá do jadra vlnovodu, ale nežiaduco sa rozptyľuje do okolitého substrátu a plášťa, čo sa prejavuje vysokými vložnými stratami (insertion loss). Práve na prekonanie tohto nesúladu sa v integrovanej optike implementujú špecializované prechodové štruktúry, ako nami navrhovaný mriežkový väzobný člen [7].

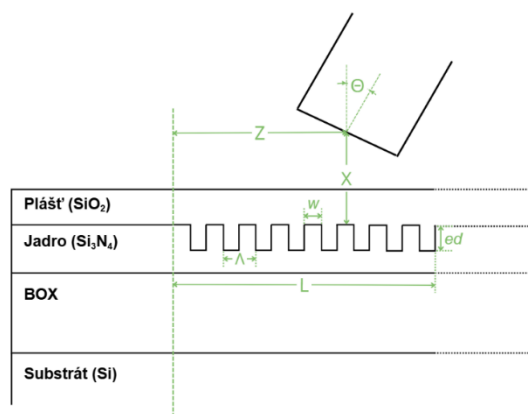


Obr. 2. Porovnanie Gaussových profilov módov vlnovodu s rozmerom 400×160 nm a optického vlákna typu 630HP na vlnovej dĺžke 630 nm

3 Mriežkový väzobný člen

Mriežkový väzobný člen je periodická štruktúra, ktorá je svojou geometriou schopná ohýbať (difragovať) svetlo šíriace sa vo vlnovode (v rovine čipu) do voľného priestoru (mimo roviny) a naopak. Zvyčajne sa využíva ako vstupné a výstupné (I/O) médium slúžiace práve na naviazanie svetla medzi optickým vláknom (alebo voľným priestorom) a submikrometrovými SOI (Silicon-on-Insulator) vlnovodmi, pričom spomínaná periodická štruktúra je vytvorená priamo na povrchu kremikového vlnovodu pomocou konvenčných mikrofabricačných procesov ako fotolitografia a reaktívne iónové leptanie [3].

Pre lepšiu ilustráciu funkcie a následného odvodenia vzťahov pre šírenie svetla v rámci mriežkového väzobného člena je dôležité zadať si hlavné parametre (Tab. 1) a načrtnúť si samotnú geometriu takejto štruktúry (Obr. 3.).



Obr. 3. Schematický rez mriežkového väzobného člena s označením jeho parametrov

Tab. 1. Parametre mriežkového väzobného člena

Parameter	Označenie
Periódna mriežky	Λ
Vertikálna vzdialenosť stredu vlákna od mriežky	X
Horizontálna vzdialenosť stredu vlákna od začiatku mriežky	Z
Dĺžka mriežky	L
Náklon optického vlákna	Θ
Hĺbka zaleptania mriežky (etch depth)	ed
Šírka zubov mriežky	w

Jednorozmerná periodická štruktúra mriežky (Obr. 3.) predstavuje pre svetlo periodickú zmenu (moduláciu) indexu lomu, ktorú vieme opísať pomocou Braggovej podmienky difrakcie (1) nasledovne:

$$n_{eff} - n_c \cdot \sin \theta_c = \frac{\lambda}{\Lambda} \quad (1)$$

kde n_{eff} predstavuje efektívny index lomu vlnovodu v oblasti mriežky; n_c je index lomu plášte; θ_c je uhol dopadu svetla v plášti; λ je vlnová dĺžka a Λ je periódna mriežky. Táto podmienka definuje, akým spôsobom sa optický lúč transformuje a následne naviaže do jadra vlnovodu [3].

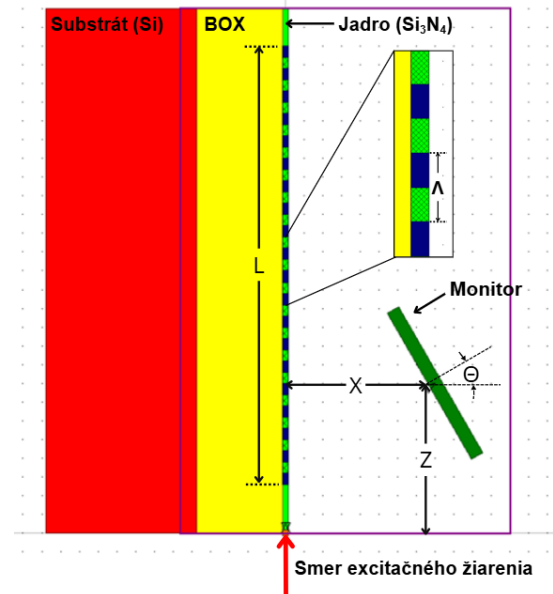
Na základe Braggovej podmienky, vieme začať s návrhom konkrétneho mriežkového väzobného člena. Ak vychádzame z vyššie odvodenéj Braggovej podmienky a zároveň predpokladáme, že efektívny index lomu mriežkových zubov (n_{eff1}) je daný výsledkom FEM simulácie vlnovodu a efektívny index lomu mriežkovej drážky (n_{eff2}) je index lomu plášte – SiO_2 , potom možno efektívny index lomu mriežky (2) vyjadriť ako:

$$n_{eff} = ff \cdot n_{eff1} + (1 - ff) \cdot n_{eff2} \quad (2)$$

kde ff zodpovedá pomeru odleptanej a neodleptanej časti vlnovodu (fill factor) [3, 8]. Pre prvý analytický odhad sú použité hodnoty $n_{eff1} = 1,762$, $n_{eff2} = 1,457$ a $ff = 0,5$. Po dosadení do rovnice dostávame výslednú orientačnú hodnotu efektívneho indexu lomu $n_{eff} = 1,6095$.

4 Simulačný model prvku

Na optimalizáciu geometrických parametrov a overenie funkcie nami navrhovaného mriežkového väzobného člena bola využitá simulačná metóda konečných diferencií v časovej doméne (Finite Difference Time Domain, FDTD) v dvoch rozmeroch, priamo implementovaná v použítom softvérovom prostredí RSoft. Hlavná výhoda metódy FDTD spočíva v jej robustnosti vďaka rigoróznemu riešeniu Maxwellových rovníc, čo umožňuje analýzu komplexných difrakčných javov a prudké zmeny smeru žiarenia [9]. Použitý simulačný model súčiastky je zobrazený nižšie (Obr. 4.).



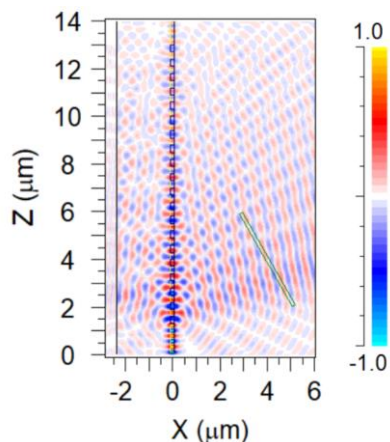
Obr. 4. Simulačný model mriežkového väzobného člena

Materiálová štruktúra mriežky je zvolená na základe parametrov výrobného procesu. Jadro tvorí nitrid kremíka (Si_3N_4) s indexom lomu 2,032 vo viditeľnej oblasti (VIS) spektra. Plášť je zhotovený z oxidu kremičitého (SiO_2) s indexom lomu 1,455 vo VIS a substrát tvorí kremík, ktorého index lomu je 3,783. Medzi substrátom a jadrom je taktiež pridaná oddeľovacia vrstva oxidu (BOX) pre optickú separáciu žiarenia na zamedzenie absorpcie v kremíku. V zapojení predpokladáme použitie imerzného oleja pri naväzovaní, čím sa efektívne zbavíme rozhrania vzduch-plášť. Materiály sú prebraté z knižnice simulátora RSoft [9] a hrúbky vrstiev z procesnej knižnice CEZAMAT.

V rámci simulácií bola primárne monitorovaná celková účinnosť naväzovania žiarenia (coupling efficiency). Simulačný model bol excitovaný zdrojom žiarenia vchádzajúcim priamo do vlnovodu na príslušnej vlnovej dĺžke 633 nm resp. 785 nm. Toto vedené žiarenie sa následne šírilo štruktúrou smerom k mriežkovému väzobnému člen, ktorý zabezpečoval jeho difrakciu a vyžarovanie smerom nahor do priestoru nad čipom. Na vyhodnotenie účinnosti prenosu bol nad mriežkou umiestnený plošný monitor, ktorý reprezentoval vstupnú apertúru prijímacieho optického vlákna a slúžil na výpočet miery prekryvu s profilom módu vlákna 630HP/780HP z FEM simulácie. Táto hodnota priamo úmerne odzrkadľuje množstvo optického žiarenia úspešne naviazaného do základného módu vlnovodu. Pre náš návrh je tým pádom kľúčové dosiahnuť čo najvyššiu mieru tohto prekryvu, ktorá tiež tvorí jedinou metriku pre optimalizačný algoritmus.

Vertikálna vzdialenosť monitora (X), reprezentujúceho prijímacie optické vlákno, od povrchu mriežky bola počas simulácií stanovená na konštantnú hodnotu. Táto referenčná vzdialenosť bola zvolená na základe priebežných výsledkov simulácií, ktoré potvrdili, že v danej vzdialenosti vlákna od čipu sa už stihli plne sformovať interferenčné obrazce vyžarovaného svetla (Obr. 5.). Zafixovanie tejto vzdialenosti na konštantnú hodnotu, konkrétne 4 μm od povrchu čipu, umožnilo konzistentné porovnávanie výsledkov naprieč simuláciami s rozdielnymi parametrami a odstránilo potrebu ďalšej

neznámej v procesoch optimalizácie. Navyiac, poloha vlákna je dodatočne nastaviteľná pri charakterizácii obvodu.



Obr. 5. Priebeh simulácie žiarenia v modeli mriežkového väzobného člena

Po stanovení funkčného modelu mriežky je ďalej cieľom návrhového procesu získať parametre mriežok pre stanovené vlnové dĺžky žiarenia 633 a 785 nm. Pre obe vlnové dĺžky prebehla optimalizácia geometrických parametrov pre sériu definovaných uhlov naklonenia optického vlákna (uhlov vyviazania), a to konkrétne pre hodnoty 10°, 15°, 20°, 25° a 30°. Simuláciou získané parametre sú hĺbka zaleptania, poloha vlákna v dvoch osiach (X a Z), a perióda mriežky. Samotný návrhový proces mriežkového väzobného člena bol založený na simulácii zmeny parametrov modelu voči zmene periódy mriežky.

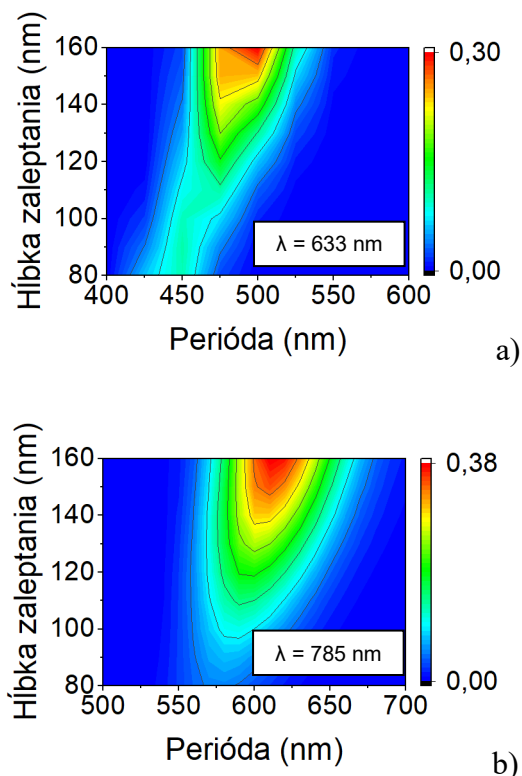
Zo simulácii dostávame prvotné odhady parametrov požadovanej geometrie mriežky, ktoré následne využijeme ako vstupné parametre pre finálnu optimalizáciu celej štruktúry pomocou dedikovaného optimalizačného algoritmu. Na precízne doladenie parametrov navrhovanej štruktúry bol využitý optimalizačný modul integrovaný v simulačnom prostredí RSoft, ktorý využíva algoritmus na báze Powellovej metódy. Algoritmus optimalizácie funguje na princípe postupných jednorozmerných minimalizácií pozdĺž sady tzv. konjugovaných smerov v N -rozmernom priestore nezávislých premenných [9]. Jeho hlavnou výhodou je, že dokáže konštruovať tieto smery čisto na základe priameho vyhodnocovania samotnej funkcie, a to bez potreby explicitného výpočtu jej gradientu. Nakoľko je algoritmus nastavený výlučne na hľadanie minima, požadovanú maximalizáciu prekrytia sme v modeli zabezpečili tak, že sme jeho výstupnú hodnotu definovali ako obrátenú voči normalizovanému vstupnému výkonu.

5 Výsledky a diskusia

Na účely maximalizácie účinnosti naviazania optického žiarenia z mriežky do vlákna bola softvérovou zrealizovaná séria 2D parametrických analýz pre obe pracovné vlnové dĺžky (633 nm a 785 nm). Výsledkom sú štyri kontúrové mapy závislosti hĺbky zaleptania od periódy (Obr. 6.) a posunu vlákna v osi Z , taktiež od periódy mriežky (Obr. 7.). Takto získané

intervalu parametrov slúžia ako počiatočné odhady a vstupné hodnoty pre následné optimalizačné procesy v prostredí RSoft.

Z grafu závislosti hĺbky zaleptania a periódy mriežky vieme určiť, že účinnosť naviazania rastie so zväčšujúcou sa hĺbkou (zaleptania). Najlepšia účinnosť nastáva práve v prípade, keď sú medzery štruktúry úplne vyleptané, resp. parameter etch depth je nastavený na 100% (160 nm). Úplné odstránenie materiálu jadra v mieste drážok vytvára najvyšší možný rozdiel efektívnych indexov lomu medzi zubom a medzerou, čo je chcené z dôvodu maximalizácie sily rozptylu šíreného svetla cez mriežku.



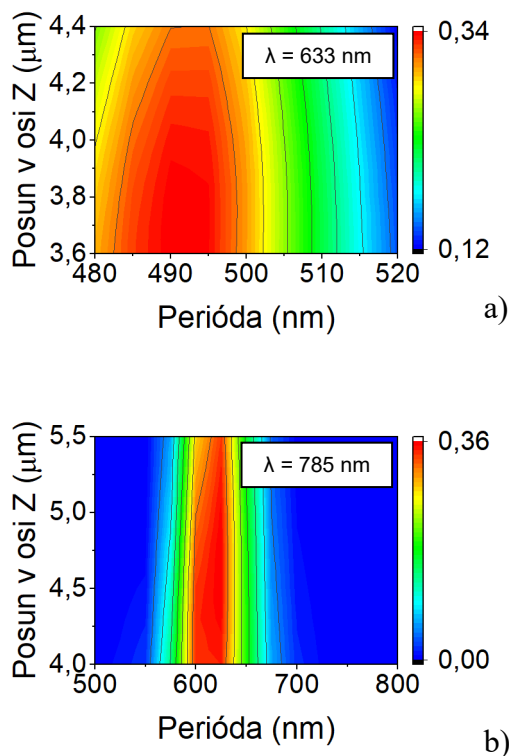
Obr. 6. 2D graf závislosti účinnosti väzby od hĺbky zaleptania a veľkosti periódy mriežky pre 633 nm (a); 785 nm (b).

Pre vlnovú dĺžku 633 nm sa optimálna veľkosť periódy v závislosti od hĺbky zaleptania pohybuje okolo hodnoty 500 nm, zatiaľ čo pre vlnovú dĺžku 785 nm je perióda približne 600 až 630 nm. Posun mimo tieto hodnoty spôsobuje prudký pokles účinnosti, čo sa deje z dôvodu narušenia fázovej podmienky šírenia svetla v mriežke a následnou zmenou uhla vyžarovania optického zväzku.

Pri detailnom pohľade na topografiu grafov by sa na základe neuzavretých izočiari mohlo zdať, že trend nárastu účinnosti by mohol pokračovať aj za hranicu hĺbky leptania 160 nm. Z technologického a fyzikálneho hľadiska je však táto hodnota absolútnym limitom. Predstavuje totiž celkovú hrúbku vlnovodnej vrstvy nitridu kremíka a ďalšie prehĺbovanie drážok by v praxi znamenalo leptanie do spodného oxidového plášťa (BOX).

Z výsledkov simulácií závislosti horizontálneho posunu vlákna (Z) od periódy mriežky vidíme, že optimálna perióda mriežky je takmer nezávislá od polohy vlákna voči mriežke v rámci simulačnej domény pri danom uhle. Pre vlnovú dĺžku

633 nm je maximum vo vzdialenosti približne 4 μm a hodnota periódy mriežky je okolo 490 nm. Pri vlnovej dĺžke 785 nm je maximum posunuté do mierne vyšších hodnôt, vzdialenosť približne 4,5 μm a perióda cca 610 nm. Aj keď táto vzdialenosť nemá vplyv na periódu mriežky, jej správne nastavenie je nevyhnutné z dôvodu potreby priestorového sformovania interferenčných obrazcov.



Obr. 7. 2D graf závislosti účinnosti väzby od posunu vlákna v osi Z a periódy mriežky pre 633 nm (a); 785 nm (b).

Na základe počiatkových odhadov hodnôt parametrov z kontúrových máp boli následne nastavené nasledujúce optimalizačné procesy. Cieľom bolo stanoviť konkrétne hodnoty parametrov, pri ktorých mriežkový väzobný člen dosahuje maximálnu účinnosť previazania žiarenia do vlákna. Výsledky optimalizačného algoritmu, pre pracovné vlnové dĺžky 633 a 785 nm, sú zhrnuté v nasledujúcich tabuľkách (Tab. 2; Tab. 3).

Tab. 2. Výsledné parametre získané optimalizáciou pre vlnovú dĺžku 633 nm

Uhol [°]	Naviazanie [%]	Perióda [nm]	Poloha Z [μm]
10	33,8	491	4,0
15	47,85	534	4,4
20	35,95	580	4,6
25	21,81	675	5,1
30	46,81	754	6,2

Tab. 3. Výsledné parametre získané optimalizáciou pre vlnovú dĺžku 785 nm

Uhol [°]	Naviazanie [%]	Perióda [nm]	Poloha Z [μm]
10	38,45	612	4,5
15	45,36	675	5,0
20	35,08	732	5,3
25	16,40	860	5,1
30	44,08	972	7,0

Z výsledkov optimalizácii vyplýva, že pre obe vyšetrované vlnové dĺžky bola najvyššia účinnosť dosiahnutá pri uhle sklonu 15°, jej hodnota bola 47,85% (pre 633 nm), resp. 45,36% (pre 785 nm). Podobné maximá naviazania boli dosiahnuté aj pri uhle 30°. Z hľadiska priestorového usporiadania pracoviska je však výhodnejší uhol 15°.

Pri interpretácii získaných teoretických výsledkov je nutné si uvedomiť, že simulovaný model bol dvojrozmerný. Takýto 2D model matematicky predpokladá nekonečnú šírku štruktúry, čím ignoruje interakciu medzi optickým polom formovaným konečnou šírkou integrovaného vlnovodu s mriežkou a plne trojrozmerným, Gaussovským profilom módu v kruhovom jadre optického vlákna. Táto geometrická nezhoda spôsobuje dodatočné straty, ktoré 2D priestor nedokáže zohľadniť. Časť optického zväzku vyžarovaného z mriežky sa tak v realite nezachytí v jadre optického vlákna, čo zníži celkovú účinnosť systému oproti ideálnemu 2D prostrediu. Tento rozdiel však nie je výrazný pokiaľ šírka mriežky pokrýva celú stopu lúča.

Zásadný rozdiel spočíva v optickom modelovaní prostredia nad mriežkou. Simulačný model uvažuje idealizovaný stav, pri ktorom je priestor medzi vlnovodom a optickým vláknom opticky homogénny. Simulácia je realizovaná s prítomnosťou krycej vrstvy (plášťa), ktorej index lomu zodpovedá použitiu imerzného oleja. Výstupné žiarenie z mriežky smerujúce do vlákna tým pádom neprechádza cez viaceré materiálové rozhrania. V reálnom meracom zapojení sa však nad štruktúrou vlnovodu môže nachádzať vrstva vzduchu, ktorá do systému vnáša ďalšie optické rozhranie. Toto rozhranie efektívne posúva uhol vyviazania o približne 5°.

V neposlednej rade, model uvažuje s dokonale hladkými hranami a vysokým rozlíšením. Perióda mriežky bude vo výsledku zaokrúhlená na chybu litografie, ktorá je na úrovni

10 nm. Technológia leptania tiež nie je dokonale anizotropná, čo vo výsledku znamená, že rohy geometrie sú mierne zaoblené a uhly sa môžu odchyľovať od úplne kolmých.

Návrh bude neskôr upravený na báze požiadaviek výrobcu, vyrobených vzoriek a tiež výsledkov charakterizácie ich vlastností. Finálna optimalizácia je predmetom ďalšieho výskumu.

6 Záver

V príspevku bol prezentovaný návrh mriežkového väzobného člena pre senzory na báze WERS. Návrh bol prispôbený na veľkosť vlnovodu 400×160 nm a pracovné vlnové dĺžky 633 a 785 nm. Pomocou numerických metód FEM a FDTD v softvérovom prostredí Keysight RSoft boli určené a následne, pomocou Powellovej metódy, optimalizované vybrané parametre navrhovanej štruktúry.

Počiatkové parametre boli stanovené parametrickými simuláciami periódy mriežky, hĺbkou zaleptania a polohou vlákna v dvoch osiach (X a Z).

Zo simulácie závislosti horizontálneho posunu vlákna (os Z) od periódy mriežky vieme určiť, že perióda mriežky je takmer nezávislá od polohy vlákna voči mriežke. Taktiež zo simulácie závislosti účinnosti väzby od hĺbky zaleptania a veľkosti periódy mriežky vieme určiť, že účinnosť naviazania rastie so zväčšujúcou sa hĺbkou zaleptania. Najvyššia účinnosť nastala v prípade, keď boli medzery štruktúry úplne vyleptané.

Z optimalizácie zisťujeme, že najvyššia hodnota účinnosti naviazania, pre obe pracovné vlnové dĺžky, bola dosiahnutá pri uhle náklonu vlákna 15° , konkrétne 47,85% (pre 633 nm), resp. 45,36% (pre 785 nm). Odchýlky modelu spôsobené technologickými nepresnosťami ako aj aproximácie vo forme zanedbaných rozmerov a zmien prostredia sú predmetom ďalšieho výskumu.

Výsledky simulácii slúžia ako základ pre návrh litografickej masky a výrobu WERS obvodov pre použitie s Ramanovým mikroskopom. Model tiež tvorí základ pre procesnú knižnicu použiteľnú pri návrhu ďalších PIC pre aplikácie vo VIS spektre žiarenia.

Podakovanie

Táto práca bola podporovaná Agentúrou na podporu výskumu a vývoja v rámci projektu APVV-24-0536.

Literatúra

- [1] WANG, Pengyi; MILLER, Benjamin L. Waveguide-enhanced Raman spectroscopy (WERS): an emerging chip-based tool for chemical and biological sensing. *Sensors*, 2022, 22.23: 9058.
- [2] ETTABIB, Mohamed A., et al. Grating-incoupled waveguide-enhanced Raman sensor. *Plos one*, 2023, 18.8: e0284058.
- [3] CHROSTOWSKI, Lukas a Michael HOCHBERG. *Silicon Photonics Design: From Devices to Systems*. Cambridge: Cambridge University Press, 2015. 437 s. ISBN 9781107085459. DOI: <https://doi.org/10.1017/CBO9781316084168>

- [4] KORČEK, Radovan, et al. Library of single-etch silicon nitride grating couplers for low-loss and fabrication-robust fiber-chip interconnection. *Scientific Reports*, 2023, 13.1: 17467.
- [5] HARDY, Mike; CHU, Hin On Martin. Laser wavelength selection in Raman spectroscopy. *Analyst*, 2025, 150.10: 1986-2008.
- [6] Špecifikácia optického vlákna Thorlabs 630HP <https://www.thorlabs.com/item/630HP>
- [7] CHENG, Lirong, et al. Grating couplers on silicon photonics: Design principles, emerging trends and practical issues. *Micromachines*, 2020, 11.7: 666.
- [8] LIN, Qianwen, et al. Design of High-Efficiency Silicon Nitride Grating Coupler with Self-Compensation for Temperature Drift. In: *Photonics*. MDPI, 2025. p. 959.
- [9] RSoft CAD v2024.09-SP2-3-KEYS User Guide <<https://www.keysight.com/us/en/products/software/optical-solutions-software/photonics-design-solutions.html>>.

Hodnotenie miery zosieťovania ORMOCER materiálov používaných pre výrobu fotonických vlnovodov metódou extrahovateľného podielu

Tomáš Tines¹, Soňa Kováčová¹

¹ Ústav elektroniky a fotoniky, FEI STU v Bratislave

xtines@stuba.sk

Abstrakt – Výsledkom práce bolo stanovenie optimálnych expozičných parametrov a vyhodnotenie miery retencie troch typov hybridných polymérov (OrmoComp, OrmoClad, OrmoCore) za pomoci metódy extrahovateľného podielu. Vzorky boli pripravené technológiou rotačného nanášania na sklenené substráty a ožarované výbojkovým UV expozičným boxom so známym spektrom a intenzitou. Retencia materiálu bola vyhodnocovaná vážením na analytických váhach s rozlíšením 0,01 mg. Výsledky ukázali, že všetky skúmané materiály dosiahli stav saturácie medzi expozičnými časmi 0:30 min až 1:00 min, čo sa približne zhoduje s teoretickým výpočtom. Saturácia hodnota retencie sa pohybovala od 55 % (OrmoClad) po 100 % (OrmoComp). Celková rozšírená neistota merania bola stanovená na úrovni 4,48 % až 5,16 % ($k = 2$), pričom dominantný zdroj neistoty činila variabilita prípravy vzoriek, nie limitácia meracej techniky, či metódy extrahovateľného podielu. Materiály vykazovali zhoršené parametre v dôsledku degradácie fotoiniciátora, avšak zostali spracovateľné pri uvažovaní všetkých vplyvov starnutia.

1 Úvod

S rastúcimi požiadavkami na miniaturizáciu optických zariadení a ich masovú výrobu je nutná dostupnosť vhodných materiálov. Takéto materiály by mali byť kompatibilné s existujúcimi technologickými procesmi, optickými vlastnosťami podobné sklu, chemicky a teplotne stabilné, bez zmeny zafarbenia a s presne definovaným indexom lomu. Tu sa dostávajú do popredia fotosenzitívne hybridné polyméry [1].

Na rozdiel od kremíkovej technológie, ktorá sa stala vo fotonike štandardom, majú fotosenzitívne hybridné polyméry nižšiu cenu, na ich spracovanie nie je potrebná vysoká teplota (do 150 °C), sú kompatibilné so širokou škálou substrátov a môžu byť jednoducho integrované s elektronickými integrovanými obvodmi [2].

Vďaka svojej elasticite sú taktiež využiteľné vo flexibilných optických spojoch, ktoré sú čoraz viac využívané z hľadiska zvyšovania prenosovej kapacity aj krátkych spojov [3].

2 Materiály a metodika

Bol navrhnutý experiment s cieľom určiť mieru zosieťovania materiálu. Pre účely experimentu sme používali tri ORMOCER materiály OrmoComp, OrmoCore a OrmoClad od spoločnosti Micro resist technology GmbH.

2.1 Organicky modifikovaná keramika

Akronym ORMOCER (z angl. Organically Modified Ceramics) označuje organicky modifikované keramiky. Jedná sa o hybridné nekovové materiály, ktoré v sebe spájajú vlastnosti anorganických a organických zložiek. Pôvodne boli vyvinuté pre špeciálne aplikácie, akými sú antireflexné, antiadhézne, či antistatické ochranné vrstvy. Na rozdiel od konvenčných kompozitov, kde sú plnivá do matice pridávané mechanicky, ORMOCERy tvoria hybridnú sieť už na molekulárnej úrovni. Tento proces prebieha metódou sol-gel, ktorá zahŕňa riadenú hydrolyzu a polykondenzáciu kvapalných prekursorov. Základom výslednej štruktúry je anorganický hlavný reťazec na báze oxidu kremičitého (SiO_2), na ktorú sú naviazané organické polymerizovateľné skupiny. Tie po vystavení UV žiareniu (fotochemickom vytvrdzovaní) vytvoria trojrozmerné zosieťovaný kopolymér, čím sa dokončí transformácia z koloidného roztoku (sol – z lat. solutio = roztok) na pevnú hybridnú sieť (gel – z lat. gelare = zmraziť) [4].

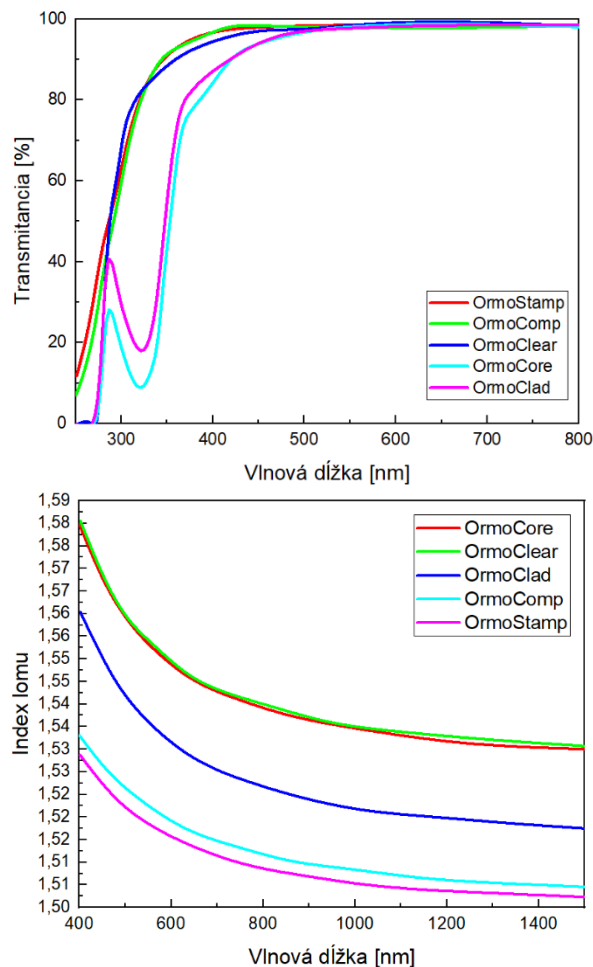
Všetky spomínané UV-vytvrdnuteľné polyméry (Tab. 1) sú určené pre výrobu mikro- a nano- optických komponentov a kompatibilné s bežne používanými UV-litografickými procesmi. OrmoComp je využívaný najmä na výrobu 3D komponentov, ako šošovky a mikrofluidické systémy, ale využitie nachádza aj vo vlnovodných aplikáciách. Jeho novou vylepšenou verziou je OrmoClear, ten má však rozdielny index lomu. Pomocou OrmoCore a OrmoClad sa vďaka ich vzájomnej kompatibilite dajú vytvárať čisto polymérne fotonické vlnovody s možnosťou jednoduchého nastavovania indexu lomu technologickým postupom [5, 6].

Tab. 1 Kompatibilita procesov a preferované aplikácie vybraných hybridných polymérov od firmy Micro resist technology GmbH. Bodky ilustrujú potenciál využitia pri danom procese alebo aplikácii.

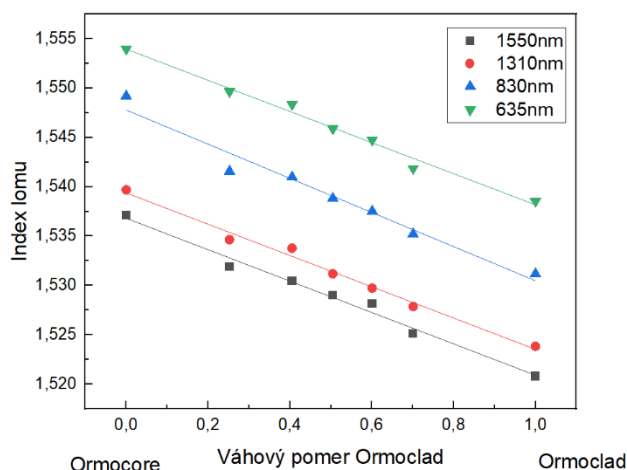
	OrmoComp®	OrmoCore®	OrmoClad®
Kompatibilita procesu			
Fotolitografia (masková litografia)	▪	▪	▪
UV tvarovanie	▪	▪	▪
(Nano-)imprintová technika	▪	▪	▪
Priame zapisovanie laserom, dvojfotónová polymerizácia	▪		
Valec na valec/valec na dosku spracovávanie	▪		
Preferované aplikácie			
Mikrošošovky, mriežky, hranoly, DOE	▪		
Vlnovody		▪▪	▪▪
Bio-aplikácie, lab-on-chip, mikrofluidiká	▪▪		
Replikácia pevnými formami	▪	▪	▪
Replikácia PDMS formami (nie je citlivé na kyslík)	▪		

Vzhľadom na rôzne prekurzory a typy syntézy vykazujú tieto polyméry mierne odlišné optické vlastnosti (Obr. 1). Transmitancia spracovaných hybridných polymérov je vysoká v širokom spektre vlnových dĺžok a to nielen v oblasti viditeľného žiarenia, ale aj blízkeho ultrafialového, najmä pre OrmoComp. Závislosť indexu lomu od vlnovej dĺžky sa mení rovnakým tempom pre všetky materiály, čím je umožnená ich vzájomná kombinácia pri zachovaní rozdielu indexov lomov.

OrmoClad a OrmoCore je možné vzájomne kombinovať nielen ako materiály s rozdielnym indexom lomu, ale aj miešaním na základe váhového pomeru (Obr. 2), pričom závislosť indexu lomu od tohto pomeru je lineárna v širokom rozsahu vlnových dĺžok. Toto nie je dôležité iba pre ladenie indexu lomu materiálov, ale aj pre samotný technologický postup, kedy sa prípadná zvyšková nevytvrdnutá časť jedného materiálu môže zmiešať s druhým a vytvoriť postupný namiesto žiadaného ostrého kontrastu indexov lomov.



Obr. 1 Transmitančné (hore) a disperzné (dole) krivky vybraných komerčne dostupných hybridných polymérov po post-expozičnom vypekaní [7]



Obr. 2 Zmena indexu lomu na základe rôzneho váhového pomeru OrmoClad v OrmoCore [6]

2.2 Metóda extrahovateľného podielu

Na zistenie úrovne polymerizácie sol-gel materiálov sa dá použiť takzvaná metóda extrahovateľného podielu (angl. gel content test). Celý experiment je postavený na fakte, že úroveň previazania po vytvrdnutí materiálu pomocou UV súvisí s vyplaviteľnými nepreviazanými časťami, ktoré zostali v materiály. Táto príčinná súvislosť bola dokázaná naprieč viacerými sol-gel materiálmi [8].

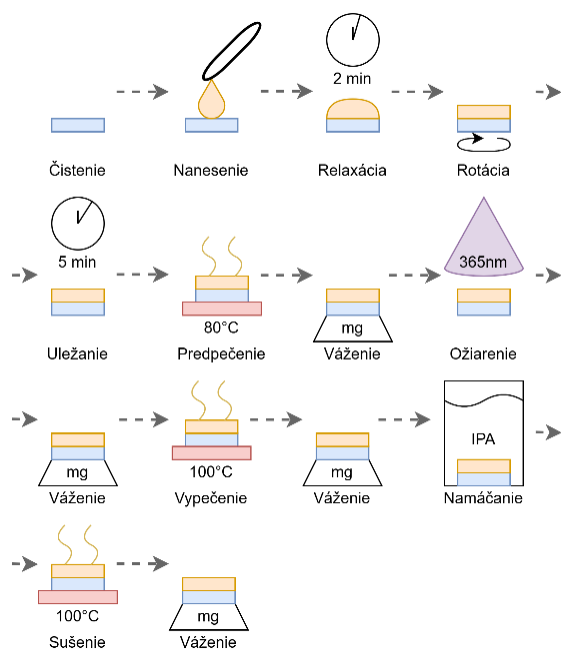
Vzhľadom na široké využitie sol-gel a ORMOCER materiálov v stomatológii, sa väčšina podobných experimentov riadi normou ISO 4049. Pripravené vzorky sú najskôr ponorené do destilovanej vody na sedem dní pri stájej teplote, na čo sú osušené a odvážené, z čoho sa vypočíta úroveň absorpcie. Následne sa opäť ponoria do destilovanej vody na ďalších sedem dní a opäť odvážia. Na základe tejto hodnoty sa vypočíta rozpustnosť materiálu [9]. Pre urýchlenie celého procesu je možné nahradiť destilovanú vodu inou látkou vhodne reagujúcou so skúmaným materiálom [10].

3 Experiment

Na zistenie vhodného času vytvrdzovania troch ORMOCER materiálov OrmoComp, OrmoCore a OrmoClad, bola použitá metóda extrahovateľného pomeru založená na norme ISO 4049, ktorá bola z dôvodu časovej úspory a použitia v optických aplikáciách mierne upravená. Všetky tri spomenuté materiály boli po dátume maximálnej životnosti, čo sme museli pri vyhodnocovaní experimentu zohľadniť.

3.1 Technologický postup

Celý technologický postup pozostával z niekoľkých krokov (Obr. 3), ktoré boli navrhnuté s ohľadom na minimalizáciu množstva zvyškového vzduchu v nanosenej vrstve, pre čo najdôveryhodnejšie výsledky experimentu.



Obr. 3 Technologický postup uskutočneného experimentu

Substráty boli pripravené nalámaním štandardného laboratórneho skla na tretiny pomocou diamantového pera. Čistenie prebiehalo v niekoľkých krokoch. Hrubé nečistoty boli opláchnuté deionizovanou vodou a následne vzorky ponorené najskôr do acetónu a neskôr do izopropyl alkoholu (IPA), pričom zakaždým prebehlo čistenie pomocou ultrazvuku po dobu troch minút. Hmotnosti očistených substrátov boli zaznamenané.

Takto pripravený substrát bol umiestnený do prístroja pre rotačné nanášanie a s pomocou sklenej tyčinky nanosený konkrétny ORMOCER, kvôli minimalizácii zvyškového vzduchu v nanosenom materiály. Z rovnakých dôvodov bol materiál pred roztočením dve minúty relaxovaný.

Nasledovalo rotačné nanášanie s predtáčaním 500 RPM po dobu 5 minút a rotáciou 3000 RPM po dobu 30 sekúnd. Podľa údajov výrobcu [5, 6] by takto nanosená vrstva mala mať pre OrmoComp hrúbku 20 μm a pre OrmoCore aj OrmoClad 30 μm . Nanosená tenká vrstva bola pred ďalším postupom nechaná 5 minút pre uležanie, aby mal materiál po rotácii čas na ustálenie a prípadný zvyškový vzduch čas z materiálu odísť.

Vzorka bola predpečená na 80 °C na 5 minút rovnako z dôvodu odstránenia zvyškového vzduchu a následne odvážená. Ožarovanie prebiehalo v UV expozičnom boxe VAC-UV-Exposure Box 1 ($\lambda = 365 \text{ nm}$, svetelný výkon = 4x15 W). Pre každý z ORMOCERov bolo pripravených niekoľko vzoriek, každá ožarovaná po iný čas. Po ožarovaní boli vzorky podrobené po-expozičnému vypečeniu po dobu dvoch hodín pri 100 °C a opätovne odvážené.

Nasledoval samotný test extrahovateľného podielu. Vzhľadom na urýchlenie procesu boli vzorky namočené do IPA po dobu dvadsiatich minút, kedy malo teoreticky dôjsť ku zmytiu inhibičnej vrstvy a vyplaveniu prebytočného rozpúšťadla neodpareného v po-expozičnom vypekaní. Pre vysušenie vzoriek pred vážením sme ich umiestnili na laboratórnu platničku vyhriatu na 100 °C po dobu 30 minút.

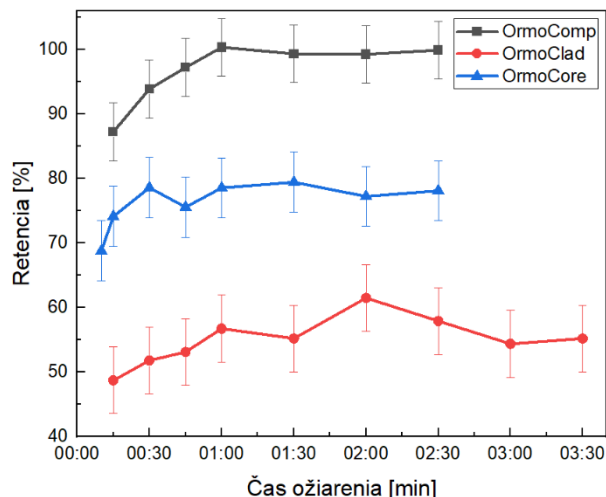
3.2 Výsledky meraní

Dôležitým ukazovateľom v tomto experimente bola retencia, teda pomer hmotnosti vrstvy po odmäčaní vzorky v IPA a pôvodnej hmotnosti vrstvy vyjadrený v percentách. Na základe neho sme následne vyhodnocovali úroveň vytvrdenia materiálov (Obr. 4).

Ako bolo spomenuté v kapitole 2.2, úroveň retencie (zachovania hmotnosti) priamo súvisí s previazaním polymérnych reťazcov v materiály. OrmoComp ako jediný z materiálov vykazoval ustálenie retencie okolo hodnoty 100%, čo sa pri uvážení ukončenej životnosti materiálov dá vysvetliť vyšším obsahom reaktívnych skupín v tomto materiály, keďže je určený predovšetkým na výrobu 3D štruktúr. Druhé dva materiály, určené na výrobu tenkých vrstiev, toľko reaktívnych skupín nemajú a preto mohlo starnutím dôjsť k nižšej saturačnej hodnote retencie. V tomto prípade sa zvyšovala veľkosť inhibičnej vrstvy na povrchu až po takmer polovicu hmotnosti nanosenej vrstvy, kedy hodnota retencie materiálu OrmoClad saturela na úrovni okolo 55%. Napriek tomu, že OrmoCore a OrmoClad sú si štrukturálne podobné a môžu sa navzájom miešať, vykazujú odlišné hodnoty. Tie si taktiež vysvetľujeme starnutím materiálu a najmä tým, že nie je možné potvrdiť ich spoločnú skladovaciu históriu. Krivka retencie

pre OrmoClad vykazuje v oblasti saturácie mierne kolísanie, ktoré však neprekračuje celkovú neistotu merania 5,16 %.

Iný počet vzoriek pri odlišných materiáloch je spôsobený ich dodatočným vyhotovením pri iných časoch ožarovania, vzhľadom na pozorované neistoty pri vyhotovení prvej série.



Obr. 4 Závislosť retencie od času ožarovania

Celková neistota merania (Tab. 2) bola stanovená metódou RSS (Root Sum Square). Zahŕňa prístrojovú neistotu analytických váh ($u_{\text{váha}} = 0,03 \text{ mg}$), neistotu nánosu ($u_{\text{nános}} = 4,45 \%$) a štatistickú odchýlku procesu v oblasti saturácie. Výsledná rozšírená neistota merania ($k = 2$) sa pre jednotlivé materiály pohybovala v rozmedzí 4,48 % až 5,16 %.

Tab. 2 Porovnanie neistoty merania jednotlivých materiálov

Materiál	Maximálna retencia [%]	Celková neistota [%]
OrmoComp	~100%	±4,48%
OrmoClad	~61%	±5,16%
OrmoCore	~78%	±4,65%

3.3 Teoretický výpočet

Čas ožarovania sme teoreticky vypočítali pomocou rovnice (1), ako podiel nominálnej dávky žiarenia D_{nom} , ktorej dolnú a hornú hranicu udáva výrobca, a efektívnej intenzity ožarovania I_{eff} .

I keď centrálna vlnová dĺžka UV expozičného boxu bola 365 nm, skúmané materiály reagovali na širšie spektrum vlnových dĺžok, čo bolo potrebné vo výpočte zohľadniť. Údaj o ožarení bol získaný meraním na vlnovej dĺžke 365 nm a následne touto hodnotou normované spektrum expozičného boxu. Toto normované spektrum bolo následne zintegrované v oblasti relevantných vlnových dĺžok uvedených v dokumentácii výrobcu materiálov.

$$t_{\text{exp}} [\text{s}] = \frac{D_{\text{nom}} \left[\frac{\text{mJ}}{\text{cm}^2} \right]}{I_{\text{eff}} \left[\frac{\text{mW}}{\text{cm}^2} \right]} \quad (1)$$

Vzhľadom na to, že OrmoCore a OrmoClad majú v dokumentácii rovnaké parametre, bolo s nimi počítané, ako

s jedným materiálom. Bola vypočítaná spodná a horná hranica času ožarovania (Tab. 3), teoreticky postačujúca pre maximálne zosieťovanie (vytvrdnutie) materiálu.

Je však dôležité poznamenať, že pri použitom výbojkovom type UV boxu môže byť ožiarenie nerovnomerné a pri výpočtoch boli použité najnižšie namerané hodnoty intenzity lampy ($\sim 2 \text{ mW/cm}^2$).

Tab. 3 Relevantné údaje teoretického výpočtu

	OrmoComp	OrmoCore OrmoClad
Spektrálna senzitivita [nm] ^[5, 6]	300 – 410	300 – 390
I_{eff} [mW/cm ²] ^[5, 6]	60,941	53,943
$D_{\text{nom_min}}$ [mJ/cm ²] ^[5, 6]	500	1000
$D_{\text{nom_max}}$ [mJ/cm ²] ^[5, 6]	1500	3000
$t_{\text{exp_min}}$ [s]	8,205	18,538
$t_{\text{exp_max}}$ [s]	24,614	55,614

4 Záver

Experimentálne sme stanovili optimálny expozičný čas pre tri typy ORMOCER® materiálov v nami dostupnom expozičnom boxe. Výsledky ukazujú, že stav saturácie (maximálneho zosieťovania) nastáva u všetkých vzoriek medzi časmi ožarovania 0:30 až 1:00 min. Pre materiál OrmoComp je teoreticky vypočítaný čas expozície nižší, ako získaný experimentom, čo je možné vysvetliť prekročením doby expirácie. Ostatné skúmané materiály (OrmoCore a OrmoClad) sa hodnotou získanou experimentom nachádzajú v rozmedzí hodnôt získaných výpočtom. Pre tieto dva materiály je však rozmedzie širšie, ako pre OrmoComp, a preto sa odchýlky vplyvom starnutia materiálu mohli stratiť.

Najvyššiu stabilitu vykázal OrmoComp s retenciou blížiacou sa k 100%, čo je možné vysvetliť najvyšším obsahom reaktívnych zložiek spomedzi všetkých skúmaných materiálov. Na druhej strane OrmoClad vykazoval saturáciu retencie okolo úrovne 55%. Tento rozdiel je možné pripísať vplyvu kyslíkovej inhibičnej vrstvy, ktorej hrúbka je pri tenších vrstvách kritickým faktorom. Rozdiel medzi OrmoClad a OrmoCore, napriek ich štrukturálnej podobnosti, mohol byť spôsobený ich rozdielnym skladovaním, respektíve rozdielnou reakciou na starnutie.

Bola nameraná celková rozšírená neistota merania v rozmedzí 4,48 % až 5,16 % ($k = 2$). Analýza ukázala, že dominantným zdrojom neistoty nie je presnosť váh (0,15 %), ale procesná variabilita substrátov a nánosu vrstvy (4,45 %). Tento fakt potvrdzuje robustnosť navrhutej metodiky váženia aj pri použití ručne rezaných (lámaných) skiel.

Napriek prekročeniu odporúčanej doby expirácie si materiály zachovali dostatočnú fotocitlivosť a dajú sa použiť pre výrobu prototypov fotonických vlnovodov a štruktúr. Dlhší expozičný čas u OrmoComp, ako aj nižšie hodnoty retencie OrmoCore a OrmoCladu, však naznačujú čiastočnú degradáciu fotoiniciátora alebo zmenu difúzných vlastností matice vplyvom starnutia.

Pre ďalšie aplikácie, ako je napríklad výroba fotonických vlnovodov, je možné pokúsiť sa použiť ožarovanie vo vákuovej, či dusíkovej atmosfére, alebo iným spôsobom znížiť vznik inhibičnej vrstvy, a tým zvýšiť retenciu tenkých vrstiev.

Pod'akovanie

Ďakujem Ing. Soni Kováčovej, PhD. za odborné vedenie a rady a Ing. Ľubošovi Podluckému, PhD. za pomoc v oblasti polymérov. A všetkým ľuďom, ktorí svojou drobnou čiastkou prispeli k tejto práci.

Literatúra

- [1] MICRO RESIST TECHNOLOGY [online]. .Berlin: Micro resist technology GmbH, 2025. [cit. 2026-03-21]. Dostupné na internete: <https://253b4522.delivery.rocketcdn.me/wp-content/uploads/2025/05/Flyer_HybridPolymers2025.pdf>.
- [2] MADANI, A. - AZARINIA, H.R. Design and fabrication of all-polymeric photonic waveguides in optical integrated circuits. In *Optik* . 2017. Vol. 138, s. 33–39.
- [3] PRAJZLER, V. et al. Flexible multimode polydimethyl-diphenylsiloxane optical planar waveguides. In *Journal of Materials Science: Materials in Electronics* . 2018. Vol. 29, no. 7, s. 5878–5884.
- [4] JANSEN VAN RENSBURG, K. et al. In vitro comparison of the physical and mechanical properties of an ormocer with an ormocer-based composite and a nanocomposite restorative material. In *Clinical and Experimental Dental Research* . 2023. Vol. 9, no. 5, s. 820–831.
- [5] MICRO RESIST TECHNOLOGY OrmoComp & OrmoClear Datasheet. In [online]. Berlin: Micro resist technology GmbH, 2024. [cit. 2025-12-30]. Dostupné na internete: <https://microresist.de/en/?jet_download=6d49e88515d74f19e52fe91d867ddd4a3812679e>.
- [6] MICRO RESIST TECHNOLOGY OrmoCore & OrmoClad Datasheet. In [online]. Berlin: Micro resist technology GmbH, 2015. [cit. 2025-12-30]. Dostupné na internete: <https://microresist.de/en/?jet_download=9a79146ded943e02f978ce5670a9116e0bd7d523>.
- [7] GRUETZNER, G. et al. UV-curable hybrid polymers for optical applications: technical challenges, industrial solutions, and future developments. In VON FREYMANN, G. et al. Ed. *SPIE MOEMS-MEMS* [online]. San Francisco, California, United States, 2014. s. 897406. [cit. 2026-02-21]. Dostupné na internete: <<http://proceedings.spiedigitallibrary.org/proceeding.aspx?doi=10.1117/12.2043038>>.
- [8] KURUCU KARADENIZ, B.K. et al. Comparative Evaluation of Water Absorption, Solubility, Degree of Conversion, and Color Stability in Ormocer-Based and Flowable Bulk-Fill Composites. In *Türk Diş Hekimliği Araştırma Dergisi* . 2024. Vol. 3, no. 3, s. 409–420.
- [9] GONÇALVES, F. et al. Comparative analysis of conversion and crosslinking degree in bulk-fill, monochromatic, and ORMOCER composites. In *Journal of Dentistry* . 2025. Vol. 154, s. 105582.
- [10] PARTH, M. et al. Molecular Characterization of Ultrahigh Molar Mass and Soluble Fractions of Partially Cross-Linked Polyethylenes. In *International Journal of Polymer Analysis and Characterization* . 2003. Vol. 8, no. 3, s. 175–186.

Materiálová kompatibilita a technologické limity tvorby optických vlnovodov s jadrom SU-8 na flexibilnom substráte PDMS

Leonardo Mészáros, Soňa Kováčová

Ústav elektroniky a fotoniky, FEI STU v Bratislave

xmeszarosl@stuba.sk

Abstrakt – Táto práca sa zameriava na riešenie technologických výziev spojených s nekompatibilitou materiálov SU-8 (fotorezist) a PDMS (polydimetylsiloxán) pri výrobe flexibilných optických vlnovodov. Hlavným problémom je prirodzená hydrofóbnosť PDMS a výrazný rozdiel v koeficientoch teplotnej rozťažnosti (CTE) oboch materiálov, čo štandardne vedie k zlej adhézii a deštrukcii vrstiev SU-8. V tejto práci je analyzovaný vplyv kyslíkovej plazmy na úpravu povrchovej energie PDMS za účelom bezproblémového naniesenia fotorezistu. Nasledovne je predstavený optimalizovaný nízkoteplotný proces pečenia s prirodzeným chladením, ktorý úspešne eliminuje termomechanické pnutie a zabráňuje praskaniu SU-8 vlnovodov. Po úspešnom zaliatí štruktúr bola funkčnosť vlnovodov experimentálne overená metódou hranového naviazania, ktorá potvrdila priepustnosť žiarenia. Práca tak slúži ako reprodukovateľný návod na fabrikáciu flexibilných vlnovodov.

1 Úvod

Rýchly rozvoj nositeľnej elektroniky, biosenzoriky a takzvanej mäkkej robotiky (soft robotics) vyvoláva v posledných rokoch obrovský dopyt po optických senzoroch a komponentoch, ktoré si dokážu zachovať svoju funkčnosť aj pri mechanickej deformácii [1, 2]. Tradičné fotonické štruktúry na báze kremíka alebo anorganického skla narážajú v týchto moderných aplikáciách na svoje inherentné limity, predovšetkým pre svoju vysokú tuhosť a nízku odolnosť voči ohybu či natiahnutiu. Ako možná alternatíva sa preto do popredia dostáva flexibilná polymérna fotonika. Umožňuje vývoj optických prvkov, ako sú napríklad ohybné vlnovody alebo fotonické senzory, ktoré dokážu bezpečne monitorovať fyziologické signály, alebo slúžiť ako umelá optická koža pre robotické systémy, vďaka svojej schopnosti prispôbiť sa zakriveným povrchom [3].

Vývoj takýchto flexibilných senzorov vyžaduje špecifický prístup k výberu materiálov. Atraktívny materiál pre tvorbu optických vlnovodov je epoxidový fotorezist SU-8, ktorý je vhodné použiť ako jadro, keďže jeho vyšší index lomu v porovnaní s obalom zabezpečuje udržanie a vedenie žiarenia vo vnútri štruktúry [14]. Tento fotorezist vyniká vysokou optickou transparentnosťou a výbornými litografickými vlastnosťami [4]. Hoci je SU-8 v objemovom stave po vytvrdnutí vysoko tuhý a krehký materiál, jeho transformácia do

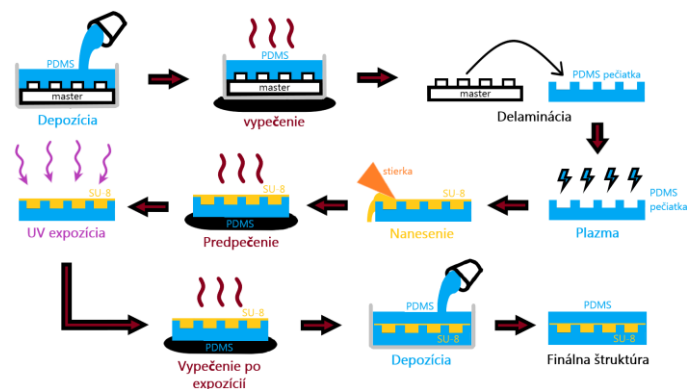
podoby tenkých mikroštruktúr umožňuje rapídne zníženie ohybového napätia. Ak je takéto tenké jadro z SU-8 integrované na vysoko elastickom substráte, akým je napríklad PDMS, vzniká hybridná ohybná štruktúra [5]. V nej mäkký polymér slúži ako optický plášť, ale predovšetkým absorbuje makroskopické mechanické deformácie, čím chráni krehké optické jadro pred deštrukciou.

Napriek dobrým teoretickým predpokladom naráža praktická integrácia týchto dvoch materiálov na výrazné technologické prekážky, ktoré vyplývajú z ich úplne odlišných fyzikálno-chemických vlastností. Prvým kritickým problémom je prirodzená hydrofóbnosť a nízka povrchová energia polyméru PDMS, táto vlastnosť spôsobuje odpudzovanie tekutého fotorezistu a bráni vytvoreniu rovnomernej vrstvy SU-8, čo si pre zabezpečenie dostatočnej adhézie vyžaduje povrchovú úpravu, najčastejšie kyslíkovou plazmou [6]. Druhou a podstatne závažnejšou výzvou, je nepomer v koeficientoch teplotnej rozťažnosti (CTE). Kým vytvrdnutá SU-8 má CTE na úrovni približne 52 ppm/°C, hodnota pre PDMS presahuje 255 ppm/°C [7, 8]. Keďže litografické spracovanie SU-8 nevyhnutne vyžaduje cykly zahrievania a chladenia, na rozhraní oboch materiálov vzniká obrovské termomechanické pnutie. Počas chladenia toto napätie často prekračuje hranicu pevnosti materiálu, čo vedie k delaminácii alebo masívnemu popraskaniu krehkých optických štruktúr [7].

Cieľom tejto práce je preto analýza týchto technologických limitov a materiálovej nekompatibility pri tvorbe optických vlnovodov na flexibilných substrátoch. Práca sa zameriava na experimentálne vyhodnotenie vplyvu povrchovej úpravy plazmou na hydrofóbnosť PDMS a na následnú analýzu termomechanickej deštrukcie vlnovodov z SU-8. Pochopenie mechanizmov vzniku týchto defektov a identifikácia procesných parametrov sú nevyhnutné pre budúcu úspešnú optimalizáciu výroby ohybných senzorických prvkov.

2 Experimentálna časť

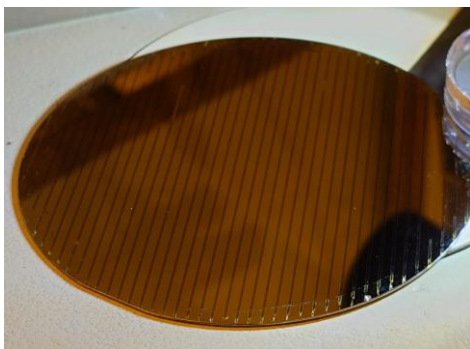
Výrobný proces flexibilných optických vlnovodov na báze SU-8 a PDMS si vyžaduje kontrolu na úrovni materiáloveho rozhrania. V rámci tejto práce bol navrhnutý a optimalizovaný technologický postup pre úspešnú výrobu, ktorý je možné rozdeliť do niekoľko na seba nadväzujúcich fáz (Obr. 1.).



Obr. 1. Výrobný postup flexibilného optického vlnovodu s jadrom SU-8 v PDMS.

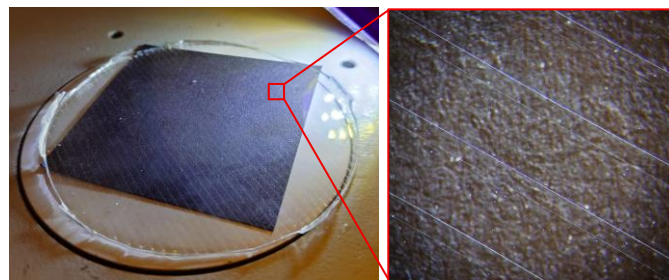
2.1 Príprava polymérneho substrátu metódou replikácie

Základným nosným prvkom pre flexibilné vlnovody bol zvolený polydimetylsiloxán (PDMS, konkrétne komerčne využívaný standard Sylgard 184). Pre vytvorenie požadovanej pečiatky (kanálikov pre budúce optické jadrá) bola využitá metóda mäkkej litografie, konkrétne replikačné odlievanie [9]. Ako predloha (tzv. master) bol použitý kremíkový substrát s už predpripravenými vystúpenými vlnovodmi z fotorezistu SU-8 (Obr. 2), ktoré boli vytvorené štandardným fotolitografickým procesom. Geometria vlnovodov bola definovaná šírkou $400\text{ }\mu\text{m}$ a vzájomným rozstupom $1300\text{ }\mu\text{m}$. Výška vlnovodov bola $3,5\text{ }\mu\text{m}$ v dôsledku použitia nízko viskózneho fotorezistu SU-8 2.



Obr. 2. Kremíková predloha s vlnovodmi SU-8.

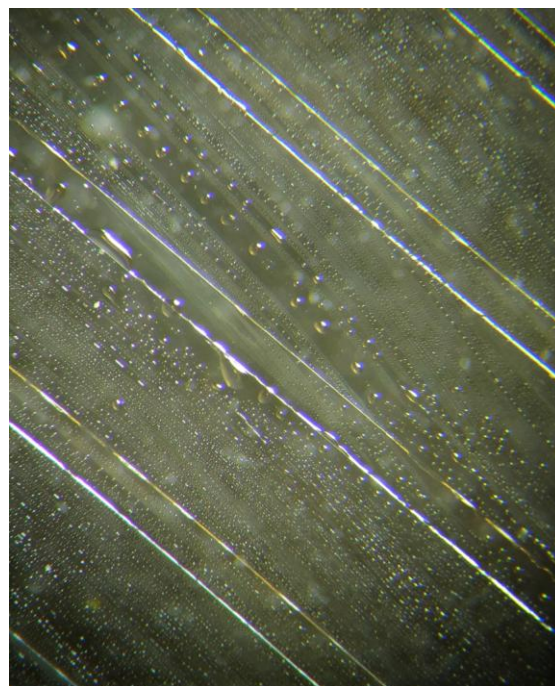
Príprava zmesi PDMS spočívala v zmiešaní tekutej bázy a sieťovacieho činidla (tvrdidla), v štandardnom hmotnostnom pomere 10:1. Zmes bola nasledovne odplynená vo vákuovom exsikátore, aby sa odstránili vzduchové bubliny vzniknuté pri miešaní, ktoré by inak spôsobili optické a mechanické defekty vo výslednej štruktúre. Pripravený tekutý polymér bol naliaty na kremíkovú predlohu a ponechaný v pokoji pri izbovej teplote (24°C) po dobu jednej hodiny, aby došlo k odstráneniu dodatočných bublín, ktoré sa mohli vytvoriť pri zalievaní. Ďalej sme pre urýchlenie sieťovacieho procesu umiestnili polymér do pece pri teplote 100°C po dobu 20 minút, čo spôsobilo rýchle vytuhnutie. Nasledovne bol polymér mechanicky delaminovaný od kremíkovej predlohy a výsledkom bola pečiatka, slúžiaca ako flexibilný substrát s presným negatívnym odtlačkom pôvodných vlnovodov.



Obr. 3. PDMS pečiatka na čiernom papieri (vľavo), Zväčšenie negatívnej štruktúry vlnovodov v PDMS (vpravo). Rozmer vlnovod/medzera je $400\text{ }\mu\text{m}/1300\text{ }\mu\text{m}$.

2.2 Povrchová modifikácia PDMS pečiatky plazmou

Nasledovným technologickým krokom bolo naniesenie fotorezistu SU-8 2 na pripravený PDMS substrát za účelom formovania optických jadier vlnovodov. Pre aplikáciu fotorezistu bola testovaná štandardná metóda mechanického stierania (blade coating), pre tvorbu hrebeňových, alebo plne vnorených vlnovodov. V tomto štádiu sa však naplno prejavil prvý zásadný technologický limit spojený s materiálovou nekompatibilitou, a to prirodzená hydrofóbnosť polyméru.

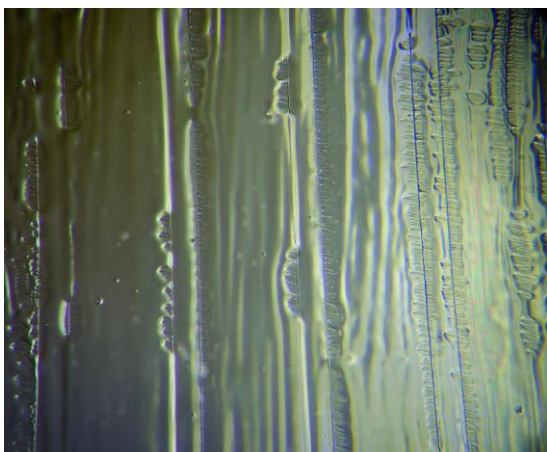


Obr. 4. Hydrofóbnosť povrchu PDMS voči SU-8 po nanesení.

Povrch štandardného vytvrdnutého PDMS je tvorený nepolárnymi metylovými skupinami ($-\text{CH}_3$), čo má za následok jeho veľmi nízku povrchovú energiu [11]. Pri priamom kontakte s tekutým fotorezistom SU-8 tento jav spôsoboval extrémnu hydrofóbnosť. Namiesto vytvorenia homogénnej vrstvy bolo pozorované zhlukovanie a odtekanie fotorezistu (Obr. 4), čo znemožnilo rovnomerné vyplnenie vlnovodných štruktúr.

Na zvrátenie tohto javu bola aplikovaná úprava povrchu substrátu. PDMS bolo pred nanesením SU-8 vystavené

pôsobeniu kyslíkovej plazmy Plasma Etch inc. PE-25 na maximálnom výkone po dobu 10 minút. Plazma spôsobí oxidáciu povrchu PDMS vrstvy, čím dôjde k odstráneniu hydrofóbných metylových skupín a nahradza ich vysoko reaktívnymi, polárnymi silanolovými skupinami (-OH) [11]. Táto povrchová modifikácia viedla k rapidnému zvýšeniu povrchovej energie a dočasnej premene PDMS substrátu na silne hydrofilný. Povrchová energia substrátu po aplikácii plazmy však rýchlo degradovala. Opätovné navrátenie hydrofóbnosti bolo sledované už po 15 minútach. Vďaka tomuto technologickému kroku však bolo možné dosiahnuť naniesenie SU-8 fotorezistu a vytvorenie potrebnej adhézie medzi oboma materiálmi pred nasledovným procesom fotolitografie.



Obr. 5. Zvýšená hydrofilnosť PDMS voči SU-8 fotorezistu po aplikácii kyslíkovej plazmy.

Pre aplikáciu fotorezistu do negatívnych štruktúr vlnovodov na substráte bola použitá už spomínaná technika mechanického stierania, ktorá umožňuje selektívne vtláčanie fotorezistu do mikroštruktúr a vytvorenie tak plne vnorených vlnovodov, čo však kvôli nízkej viskozite fotorezistu nebolo možné. Pri stieraní vytváral fotorezist za čepeľou tenkú reziduálnu vrstvu, ktorá spája jednotlivito vyplnené negatívne štruktúry vlnovodov, čo v našom prípade predstavuje hrebeňový vlnovod. V rámci testovania nástrojov boli porovnávané dva typy aplikátorov, plastová stierka a štandardná kovová žiletka. Kým použitie plastovej stierky viedlo k bezproblémovému vyplneniu kanálikov, kovová čepeľ bola vyhodnotená ako nevhodná. Čistý kovový povrch vykazoval vysokú povrchovú energiu (silnú afinitu k polárnym látkam) a pri stieraní tak došlo k prevýšeniu povrchovej energie PDMS substrátu a strhnutiu všetkého fotorezistu s čepeľou. Naopak, nižšia povrchová energia plastovej stierky zabezpečila, že príľnavosť fotorezistu ku substrátu bola dominantná. Stieranie prebiehalo pri uhle 15° až 30° pre vytvorenie ideálneho zužujúceho profilu, ktorý fotorezistu generoval dostatočný lokálny hydrodynamický tlak [10].

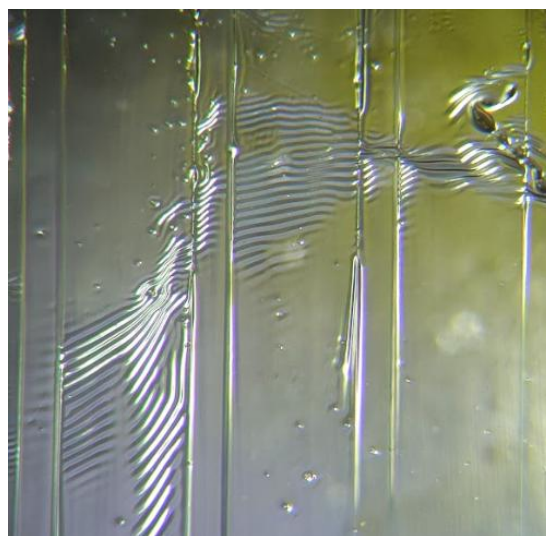
Ako alternatívna metóda nanášania bola otestovaná technika rotačného nanášania (spin-coating). Fotorezist bol nanosený v dvoch krokoch, počiatočné predtáčanie na rozliatie rezistu pri rýchlosti rotácie 500 ot./min. po dobu 5 sekúnd, nasledované hlavným cyklom pri rýchlosti 1000 ot./min. po dobu 30 sekúnd. Výsledkom tohto procesu bola nanosená vrstva s hrúbkou 3 μm .

2.3 Termomechanické javy a optimalizácia tepelného profilu

Po úspešnom nanosení fotorezistu SU-8 na modifikovaný povrch PDMS nasledovalo v rámci štandardného fotolitografického procesu niekoľko teplotných krokov. Ide predovšetkým o predpekanie (soft-bake) za účelom odparenia rozpúšťadla a nasledovné vypečenie po expozícii (post-exposure bake), ktoré spúšťa samotné zosieťovanie (cross-linking) fotorezistu [12]. Tieto procesy prebiehajú pri teplotách dosahujúcich 95°C. Práve v tejto fáze sa naplno prejavuje najkritickejší technologický limit spájania týchto dvoch materiálov, ich extrémny rozdiel v koeficientoch teplotnej rozťažnosti (CTE). Kým fotorezist SU-8 má po vytvrdnutí relatívne nízky CTE na úrovni 52 ppm/°C, hodnota CTE pre PDMS je päťnásobne vyššia (255 ppm/°C). Pri vypečení po expozícii sa PDMS substrát masívne rozpína, zatiaľ čo SU-8 sa vplyvom fotoinciátorov a tepla vytvrdzuje a stráca schopnosť plastickej deformácie. Najväčší problém nastáva pri následnom chladnutí, kedy sa PDMS substrát rapidne zmršťuje do svojho pôvodného objemu, čo nám spôsobilo popraskanie a zmršťovanie SU-8 vrstvy.



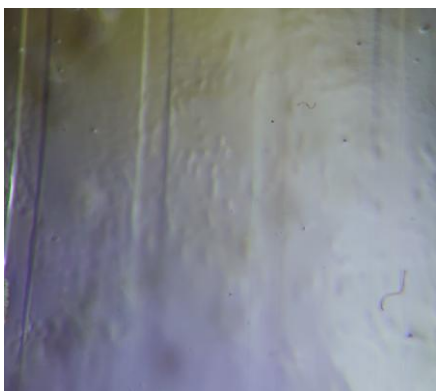
Obr. 6. Popraskanie SU-8 vrstvy na PDMS substráte.



Obr. 7. Zmršťovanie SU-8 vrstvy na PDMS substráte.

Na elimináciu tohto nežiadúceho tepelného namáhania bol optimalizovaný teplotný profil. Znížením teploty pečenia na hodnotu 65°C a pridaním pomalého, prirodzeného chladenia na vyhriatej platničke (s poklesom približne 2°C/min) až na izbovú teplotu sa podarilo úplne predísť popraskaniu vrstvy. Teplota 65°C predstavuje pre tento proces kritické minimum, ďalšie znižovanie teploty by neumožnilo dostatočné odparenie rozpúšťadla a rezist by nedosiahol svoju teplotu skleného prechodu (T_g), ktorá je nevyhnutná pre relaxáciu vnútorného mechanického pnutia pred samotným ochladením [13].

Nasledovne boli optimalizované časy pečenia na dosiahnutie adekvátneho odparenia rozpúšťadiel a zosieťovania fotorezistu. Pôvodné časy predpečenia (8 min) a vypečenia po expozícii (5 min) viedli k nedostatočnému vytvrdnutiu, kvôli neúplnému odpareniu rozpúšťadla vo fotoreziste, čo spôsobilo matnú štruktúru (Obr. 8.). Nedostatočná dávka tepelnej energie na zosieťovanie spôsobila tiež, že výsledná vrstva mala gumenú konzistenciu. Postupným predlžovaním týchto krokov bol stanovený výsledný postup (Tab. 1.) pre mechanické stieranie a (Tab. 2.) pre metódu rotačného nanášania. Tento proces viedol k vytvoreniu mechanicky stabilnej štruktúry s požadovanými vlastnosťami podobnými sklu (Obr. 9).



Obr. 8. Nedostatočné vytvrdnutie vrstvy fotorezistu SU-8 na PDMS substráte.

Tab. 1. Optimalizované parametre vytvrdzovania vrstvy fotorezistu SU-8 2 na PDMS substráte pomocou techniky mechanického stierania

Parameter	Hodnota	Čas
Predpečenie	65 °C	20 min
UV expozícia	45,825 mW/cm ²	1 min
Vypečenie po expozícii	65 °C	15 min

Tab. 2. Optimalizované parametre vytvrdzovania vrstvy fotorezistu SU-8 2 na PDMS substráte pomocou techniky rotačného nanášania

Parameter	Hodnota	Čas
Predpečenie	65 °C	15 min
UV expozícia	45,825 mW/cm ²	1 min
Vypečenie po expozícii	65 °C	15 min

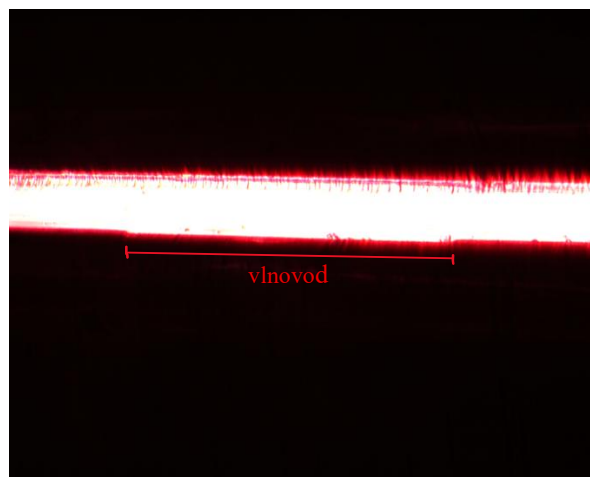


Obr. 9. Výsledná vytvrdená vrstva fotorezistu SU-8 na PDMS substráte.

V záverečnom kroku bola štruktúra zaliata polymérom PDMS pre vytvorenie krycej vrstvy. Aby sa predišlo dodatočnému teplotnému šoku a potenciálnemu popraskaniu zapuzdrených vlnovodov, štandardné tepelné vytvrdzovanie bolo nahradené prirodzeným zosieťovaním PDMS pri izbovej teplote po dobu 48 hodín.

2.4 Experimentálne overenie výslednej štruktúry

Optická charakterizácia pripravených štruktúr bola realizovaná na dedikovanom meracom pracovisku. Po mechanickom upevnení vzorky bolo využité hranové naviazanie žiarenia, ktoré bolo úspešné a pomocou kamery umiestnenej na druhej strane vzorky bolo potvrdené, že svetelný signál prechádzal a rozsvietil vrstvu fotorezistu SU-8.



Obr. 10. Naviazanie žiarenia do vrstvy SU-8 v PDMS.

V nasnímanom profile (Obr. 10) bolo na spodnom rozhraní vrstvy možné identifikovať vlnovod s hrúbkou 3,5 µm, čo nám odhalilo, že vrstva nanosená technikou mechanického stierania je signifikantne hrubšia než samostatný vlnovod. V ojedinelých prípadoch vzoriek, na ktoré bola aplikovaná technika mechanického stierania boli tiež zaznamenané veľké

lokálne nehomogenity v hrúbke vrstvy. Do budúca môžu byť tieto nehomogenity eliminované nahradením techniky mechanického stierania za techniku rotačného nanášania. Napriek týmto odchýlkam však optická funkčnosť potvrdila celkovú úspešnosť výrobného procesu.

3 Záver

V predloženej práci boli úspešne prekonané technologické výzvy spojené s materiálovou nekompatibilitou fotorezistu SU-8 a polyméru PDMS, čím bol demonštrovaný funkčný výrobný proces pre ohybné optické vlnovody. Zásadný význam mala aplikácia kyslíkovej plazmy, ktorá transformovala prirodzene hydrofóbny povrch PDMS na hydrofilný, čo zásadne uľahčilo nanášanie vrstvy fotorezistu SU-8. Problém deštrukcie v dôsledku výrazného rozdielu v koeficientoch teplotnej rozťažnosti (CTE) bol úspešne eliminovaný znížením teploty pečenia z pôvodných 95°C na 65°C. Tento optimalizovaný teplotný profil s prirodzeným pomalým chladením úplne potlačil tvorbu prasklín a nežiadúce zmršťovanie SU-8 vrstvy. Optická funkčnosť výslednej štruktúry bola experimentálne overená, pričom pri naviazaní preukázala výborné vedenie žiarenia. Merania však zároveň odhalili limity použitej metódy mechanického stierania, ktorá viedla k nanieseniu vrstvy niekoľko krát hrubšej ako samotný vlnovod a v niektorých prípadoch aj k nehomogenite hrúbky naniesenej vrstvy. Tieto nedostatky by však mohli byť odstránené použitím techniky rotačného nanášania, ktorá má potenciál tvorby presných a plošne uniformných vrstiev, jej experimentálne overenie v rámci tohto procesu však bude predmetom budúcich štúdií.

Pod'akovanie

Chcel by som poďakovať pánovi doktorovi Podluckému a predovšetkým paní doktorke Kováčovej za ochotu a pomoc, ktorú mi poskytli pri tomto výskume.

Literatúra

- [1] LUO, Ye, et al. Integrated flexible microscale mechanical sensors based on cascaded free spectral range-free cavities. *Nano Letters*, 2023, 23.19: 8898-8906.
- [2] AL-AMRI, Amal M. Recent progress in printed photonic devices: a brief review of materials, devices, and applications. *Polymers*, 2023, 15.15: 3234.
- [3] GEIGER, Sarah, et al. Flexible and stretchable photonics: the next stretch of opportunities. *Acs Photonics*, 2020, 7.10: 2618-2635.
- [4] BUTT, Muhammad A. Photonics on a budget: Low-cost polymer sensors for a smarter world. *Micromachines*, 2025, 16.7: 813.
- [5] LI, Hongqiang, et al. Design and fabrication of SU-8 polymer arrayed waveguide gratings based on flexible PDMS substrates. *Applied Optics*, 2022, 61.9: 2213-2218.
- [6] HILLBORG, H., et al. Crosslinked polydimethylsiloxane exposed to oxygen plasma studied by neutron reflectometry and other surface specific techniques. *Polymer*, 2000, 41.18: 6851-6863.
- [7] ABGRALL, Patrick, et al. SU-8 as a structural material for labs-on-chips and microelectromechanical systems. *Electrophoresis*, 2007, 28.24: 4539-4551.

- [8] MÜLLER, Angelina; WAPLER, Matthias C.; WALLRABE, Ulrike. A quick and accurate method to determine the Poisson's ratio and the coefficient of thermal expansion of PDMS. *Soft Matter*, 2019, 15.4: 779-784.
- [9] SCHMID, H.; MICHEL, Bruno. Siloxane polymers for high-resolution, high-accuracy soft lithography. *Macromolecules*, 2000, 33.8: 3042-3049.
- [10] YIM, Hyungjoo; NAM, Jaewook. Analysis of low-speed blade coating flows. *Journal of Fluid Mechanics*, 2024, 978: A11.
- [11] FENG, Chunying, et al. Mechanisms of hydrophobic recovery of poly (dimethylsiloxane) elastomers after plasma/corona treatments: a minireview. *Langmuir*, 2024, 40.45: 23598-23605.
- [12] DEL CAMPO, Aránzazu; GREINER, Christian. SU-8: a photoresist for high-aspect-ratio and 3D submicron lithography. *Journal of micromechanics and microengineering*, 2007, 17.6: R81-R95.
- [13] FENG, Ru; FARRIS, Richard J. Influence of processing conditions on the thermal and mechanical properties of SU8 negative photoresist coatings. *Journal of Micromechanics and Microengineering*, 2003, 13.1: 80-88.
- [14] MA, Hong; JEN, AK-Y.; DALTON, Larry R. Polymer-based optical waveguides: materials, processing, and devices. *Advanced materials*, 2002, 14.19: 1339-1365.